

[19] 中华人民共和国国家知识产权局

[51] Int. Cl⁷

G02F 1/133

H01L 29/786 G03F 7/00



[12] 发明专利申请公开说明书

[21] 申请号 03122691.4

[43] 公开日 2003 年 10 月 8 日

[11] 公开号 CN 1447156A

[22] 申请日 2003.3.27 [21] 申请号 03122691.4

[30] 优先权

[32] 2002.3.27 [33] JP [31] 2002-089731

[32] 2002.3.27 [33] JP [31] 2002-089732

[71] 申请人 体埃弗皮迪株式会社

地址 日本

[72] 发明人 滋野博誉

[74] 专利代理机构 上海专利商标事务所

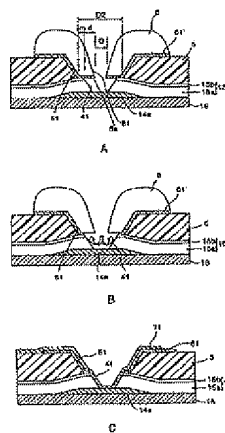
代理人 沈昭坤

权利要求书 2 页 说明书 22 页 附图 34 页

[54] 发明名称 显示装置用布线基板及其制造方法

[57] 摘要

半透过型液晶显示装置及其制造方法中，提供一种不产生连接不良等并可以降低工程负担和制造成本的装置及其方法。在形成厚型树脂膜 5 和贯通该厚型树脂膜 5 的上层接触孔 51 之后，在一个保护层图形 8 下汇总进行贯通栅极绝缘膜 15 的下层接触孔 41 的作成，用于形成透明像素电极的 ITO 膜的构图。具体说来，堆积 ITO 膜之后设置保护层图形 8 时，在焊盘用布线 14a 的端部中，在上层接触孔 51 的内缘的内侧设置直径小侧蚀刻尺寸和余量部分的开口 81。接着，进行(1)沿着保护层图形 8 的 ITO 膜的构图、(2)利用缓冲氟酸等蚀刻液的下层接触孔 41 的作成、以及(3)去除 ITO 膜的“帽檐状部分” 6a 的 3 阶段蚀刻。



知识产权出版社出版

ISSN 1008-4274

1. 一种显示装置用布线基板, 其特征在于,
具有
5 在基板上形成的第1导电层图形;
配置在上述第1导电层图形上、在对应上述图形的位置具有开口的第1绝缘膜;
具有直径比上述第1绝缘膜的开口大、其内壁由第2导电层覆盖的接触孔的第2绝缘膜; 以及
10 在上述第2导电层上形成、经上述接触孔与上述第1导电层连接的第3导电层,
上述第1绝缘膜的开口上端的形状和上述第2导电层的开口的形状实质上大致相同。
 2. 如权利要求1所述的显示装置用布线基板, 其特征在于,
上述第2绝缘膜为膜厚大于 $1\mu\text{m}$ 的绝缘性树脂膜。
 - 15 3. 如权利要求1所述的显示装置用布线基板, 其特征在于,
上述显示装置用布线基板具有呈矩阵状的由与上述第2导电层和上述第3导电层中的至少一个相同的导电材料构成的像素电极。
 4. 如权利要求3所述的显示装置用布线基板, 其特征在于,
上述像素电极由上述第2导电层和上述第3导电层构成, 其一方由透光性导
20 电膜构成, 另一方由反光性导电膜构成。
 5. 如权利要求4所述的显示装置用布线基板, 其特征在于,
上述显示装置用布线基板用于半透过型液晶显示装置。
 6. 如权利要求4所述的显示装置用布线基板, 其特征在于, 在位于与上述
反光性导电膜构成的上述像素电极对应的位置的上述第2绝缘膜具有凹凸图形。
 - 25 7. 如权利要求4所述的显示装置用布线基板, 其特征在于,
上述第2绝缘膜具有在与上述透光性导电膜构成的上述像素电极对应的位置被切开的开口。
 8. 如权利要求1所述的显示装置用布线基板, 其特征在于,
上述显示装置用布线基板用于有机EL显示装置。
 - 30 9. 如权利要求8所述的显示装置用布线基板, 其特征在于,

上述第2导电层由与EL元件的阳极相同的材料构成,上述第3导电层由与EL元件的阴极相同的导电材料构成。

10. 一种布线基板的形成方法,其特征在于,包括
在绝缘基板上形成第1导电层图形的工序;
5 使覆盖该图形的第1绝缘膜成膜的工序;
再在该第1绝缘膜上形成,形成在对应于上述第1导电层的图形的位置上具有接触孔的第2绝缘膜的工序;
在上述第2绝缘膜上形成第2导电层的工序;
采用具有直径比上述接触孔小的开口的图形掩模使上述第2导电层构成图
10 形的第1构图工序;
采用上述图形掩模,经上述第2导电层的开口,蚀刻上述第1绝缘膜,形成直径比上述开口大的接触孔,以使上述第1导电层露出的第2构图工序;
将上述第1绝缘膜的接触孔作为掩模,使上述第2导电层构成图形的第3构图工序;以及
15 去除上述图形掩模,形成经上述第1和第2绝缘膜的接触孔与上述第1导电层连接的第3导电层的工序。
11. 如权利要求3所述的布线的制造方法,其特征在于,
上述第1绝缘膜和上述第2绝缘膜之间还具有第3绝缘膜,上述第3绝缘膜用与上述第1绝缘膜相同的工序进行蚀刻处理。
20 12. 如权利要求11所述的阵列基板的制造方法,其特征在于,上述第2构图工序中,第3绝缘膜的侧蚀刻速度比上述第1绝缘膜的侧蚀刻速度快。
13. 如权利要求11所述的阵列基板的制造方法,其特征在于,
上述第1绝缘膜由下层绝缘膜和配置在其上层的上层绝缘膜构成,在上述第2构图工序中,上述上层绝缘膜的侧蚀刻速度比上述下层绝缘膜的侧蚀刻速度快。
25 14. 如权利要求12或13所述的阵列基板的制造方法,其特征在于,上述第2构图工序通过湿蚀刻进行。
15. 如权利要求14所述的阵列基板的制造方法,其特征在于,上述湿蚀刻时,作为蚀刻液采用缓冲氟酸。
16. 如权利要求12或13所述的阵列基板的制造方法,其特征在于,上述第2
30 蚀刻通过干蚀刻进行。

显示装置用布线基板及其制造方法

5 技术领域

本发明涉及用于液晶显示装置等显示装置的布线基板及其制造方法。特别是涉及具有厚型树脂膜的布线基板。

背景技术

10 近年，作为代替CRT显示器的显示装置，大量开发了平面型显示装置，其中液晶显示装置因轻、薄、耗电低等优点而受关注。特别是对各像素电极电连接开关元件而构成的有源矩阵型液晶显示装置由于可以实现邻接像素间没有串扰的良好的显示图像，所以成为液晶显示装置的主流。

以下，说明将TFT（Thin Film Transistor）作为开关元件的透光型有源矩阵
15 型液晶显示装置的例子。

有源矩阵型液晶显示装置是在阵列基板和对置基板间经取向膜保持液晶层而构成的。阵列基板中，在玻璃或石英基板等透明绝缘基板上经绝缘膜将多根信号线和多根扫描线配置成格子状，在相当于格子的各块的区域配置ITO（Indium-Tin-Oxide）等透明导电材料构成的像素电极。另外，在格子的各交点部分配置
20 作为电分离导通像素和断开像素、并且对导通像素具有保持图像信号的功能的开关元件的TFT。TFT的栅极与扫描线电连接，漏极与信号线电连接，源极与像素电极电连接。

对置电极构成为在玻璃等透明绝缘基板上配置ITO构成的对置电极，若是实现彩色显示的，则配置彩色滤色层。

25 在液晶显示装置的显示区域外周部中，阵列基板从对置基板突出并构成支架状的连接区域，连接有在该连接区域排列的连接焊盘和、用于进行来自外部驱动系统的输入的端子。另外，在对置基板的边缘部分和阵列基板之间配置密封材料，密封液晶层的四周。

在降低这样的有源矩阵型液晶显示装置的制造成本方面，由于阵列基板的
30 制造工序数多，所以阵列基板的成本比例高。

因此,在特开平9-160076号中提出了将像素电极配置在最顶层,将半导体保护膜等与信号线、信号源、漏极一起基于掩模图形统一进行构图之后,制造连接源极和像素电极的源极用接触孔,同时制造用于露出信号线或扫描线的连接端的外周部接触孔。这样,可以用较少的掩模数提高生产率,而且也不会降低制造成品率。

在此,为了作成用于露出扫描线的连接端的外周部接触孔,不仅需要贯通层间绝缘膜,还需要贯通栅极绝缘膜。因此,为了可以同时贯通含有氧化硅层的栅极绝缘膜和、氮化硅膜构成的层间绝缘膜,采用BHF等进行了湿蚀刻(特开2000-267595号)。

10 另一方面,这样的阵列基板中,为了提高背照光的利用效率,要求提高像素部分的开口率。另外,在用于反射型平面显示装置时,要求通过增加像素电极的面积比率而提高光的有效反射率。

因此,近年进行了为了提高像素开口率和光反射率,将像素电极经绝缘性厚型树脂膜配置在阵列基板的布线图形或TFT的上层,将像素电极的外周边缘部分与信号线和扫描线重合。厚型树脂膜一般由1~10 μm 、典型地由2~4 μm 厚的低介电系数的有机树脂构成,可以使经它重叠的像素电极和信号线等之间产生电容或短路的概率充分小。

15 以前遮光膜在对置基板上或阵列基板上不仅设置在TFT处,还设置在覆盖像素电极的边缘部和信号线间的间隔、以及像素电极的边缘部和扫描线间的间隔的地方。这是为了不仅防止像素电极与信号线或扫描线重叠而引起不希望

20 的电容或短路,还为了吸收像素电极的图形与信号线或扫描线的图形的位置偏差,可靠防止从该间隔漏光。

由于通过配置厚型树脂膜的结构,可以消除位置校准余量引起的像素开口的损失,因此可以在很大程度上提高像素开口率。

25 特别是,用于反射型液晶显示装置的阵列基板中,在阵列图形的最上层形成铝(Al)等构成的反射型像素电极,在该反射型电极层和下方的布线层之间配置厚型的树脂膜。该厚型树脂膜是通过可使反射型像素电极的边缘部配置成被扫描线、信号线以及TFT覆盖,相应提高像素电极面积,从而提高光利用效率。通过夹持厚型树脂膜,防止重合引起寄生电容增大。另外,厚型树脂膜一般还

30 具有使像素电极离绝缘基板面的高度均匀、使液晶层的厚度均匀的平坦化膜的

作用。

发明要解决的问题

最近，随着便携式信息终端和便携式电话对显示装置的性能需求提高，研究了称为半透过型或透过反射兼用型的形式的显示装置的使用。这是在一个像素电极中备有具有透光性的透明导电膜（ITO等）和、具有反光性的反射电极，在阳光等明亮的环境下利用反射电极板（反射型像素电极部分）的外光反射进行显示，在暗的环境下利用透明导电膜部分，即经透明电极部分的背照光进行显示。

若是这样的半透过型显示装置，形成像素电极需要2种导电层，需要分别形成图形。因此，与作成不是半透过型的液晶显示装置的场合相比，增加了一个构图工序（PEP：Photo Engraving Process）。所需的掩模图形个数增加构图工序数增多的部分，增加保护层树脂的涂敷、显影、蚀刻、保护层玻璃以及清洗的一连串工序数，工序负担和制造成本相应增大。

以减少构图工序数为目的，例如还考虑原样掩模厚型树脂膜的图形，作成贯通栅极绝缘膜等的接触孔。是在栅极绝缘膜等上设置形状与厚型树脂膜的接触孔匹配的接触孔。

但是，在这种情况下，因栅极绝缘膜的侧蚀刻等而产生突出部分，由此在覆盖接触孔的导电膜产生不连续地方（所谓的“分段”）。

本发明是鉴于上述问题而提出的，提供可以没有连接不良并提高制造效率，降低制造成本和工序负担的显示装置及其制造方法。

发明内容

本发明的阵列基板由绝缘基板上的第1导电层图形、覆盖该图形的栅极绝缘膜、和再在其上形成的第2导电层图形构成，具有：设置含有略平行排列的扫描线、经上述栅极绝缘膜与该扫描线略正交排列的信号线、设置在这些扫描线和信号线的各交点附近的开关元件的层积布线图形和；覆盖上述层积布线图形的厚度 $1\mu\text{m}$ 以上的绝缘性树脂膜和；配置在该树脂膜上的第3导电层图形和第4导电层图形；以及由上述第3和第4导电层图形的至少一个构成，矩阵状排列在像素区域的像素电极和；贯通上述树脂膜和上述栅极绝缘膜并露出上述第1导电层的部分图形的第1接触孔和；贯通上述树脂膜并露出上述第2导电层的部分图形

的第2接触孔,其特征在于,上述第1和第2接触孔中的包含底面的略整体由上述第4导电层图形覆盖,在上述第1接触孔配置有由上述第3导电层构成、省略底面至上述栅极绝缘膜的端面的上边缘的区域的开洞状图形。

利用上述结构,可以减少构图工序数,从而可以提高制造效率,降低制造成本

在上述层积布线图形和上述树脂膜之间夹有称为层间绝缘膜的、由非树脂材料构成的绝缘膜时,上述第1接触孔的开洞状图形是省略底面至该绝缘膜端面的上边缘的区域。

本发明的阵列基板的制造方法,在绝缘基板上形成第1导电层图形和、覆盖该图形的栅极绝缘膜和、再在其上形成的第2导电层图形,包括:设置含有略平行排列的扫描线、经上述栅极绝缘膜与该扫描线略正交排列的信号线、设置在这些扫描线和信号线的各正交点附近的开关元件的层积布线图形的工序;经感光性树脂的涂敷、曝光、以及显影作成覆盖上述层积布线图形的厚度 $1\mu\text{m}$ 以上的绝缘性树脂膜、以及贯通它的上层接触孔的工序;利用蚀刻作成在上述上层接触孔的轮廓内露出上述第1导电层的图形的下层接触孔的工序;在该树脂膜上形成第3和第4导电层图形,此时将由其中至少一方导电层构成的像素电极分别与应上述各开关元件对应设置的工序,其特征在于,包括下述工序:作成上述树脂膜和上述上层接触孔之后,堆积上述第3导电层之后,作成在上述各上层接触孔的内壁下边缘的内侧具有开口的保护层图形的工序;进行沿着该保护层图形而构图上述第3导电层的第1蚀刻、接着在上述保护层图形下经上述开口使蚀刻液作用,在侧蚀刻尺寸小于上述规定尺寸的条件下去除上述栅极绝缘膜,使上述下层接触孔作成侧蚀刻后的内壁面位于上述上层接触孔的内壁下边缘的内侧的第2蚀刻、接着对沿着上述保护层图形下面朝该保护层图形的开口突出的上述第3导电层的帽檐状部分,通过经上述下层接触孔从背面侧作用蚀刻液,去除该帽檐状部分的第3蚀刻和、之后去除上述保护层图形之后堆积上述第4导电层以及形成图形的工序。

附图简述

图1是用于说明实施例1的制造方法的主要部分的、部分层积截面图的模式

工序图。

图2是实施例1的阵列基板(mode)的模式平面图。

图3是包含实施例1的阵列基板的显示屏的、像素部分的模式层积截面图。

图4是包含实施例1的阵列基板的显示屏的、周边部的模式层积截面图。

图5是模式示出实施例1的阵列基板的制造方法的第1构图后的样子的主要部分平面图。

图6是模式示出实施例1的阵列基板的制造方法的第3构图后的样子的主要部分平面图。

图7是模式示出实施例1的阵列基板的制造方法的第5构图的第1蚀刻结束后的样子的主要部分平面图。

图8是模式示出实施例1的阵列基板的制造方法的第5构图完成后的样子的主要部分平面图。

图9是模式示出实施例1的阵列基板的制造方法的第6构图后的样子的主要部分平面图。

图10是用于说明比较例1的阵列基板的制造方法的、对应图1的模式工序图。

图11是用于说明实施例2的制造方法的主要部分的、部分层积截面图的模式工序图。

图12是实施例2的阵列基板(mode)的模式平面图。

图13是含有实施例2的阵列基板的显示屏的、像素部分的模式层积截面图。

图14是含有实施例2的阵列基板的显示屏的、周边部的模式层积截面图。

图15是模式示出实施例2的阵列基板的制造方法的第1构图后的样子的主要部分平面图。

图16是模式示出实施例2的阵列基板的制造方法的第3构图后的样子的主要部分平面图。

图17是模式示出实施例2的阵列基板的制造方法的、第5构图的第1蚀刻结束后的样子的主要部分平面图。

图18是模式示出实施例2的阵列基板的制造方法的第5构图完成后的样子的主要部分平面图。

图19是模式示出实施例2的阵列基板的制造方法的第6构图后的样子的主要部分平面图。

图20是用于说明比较例2的阵列基板的制造方法的、对应图11的模式工序图。

图21是用于说明实施例3的阵列基板的制造方法的主要部分的模式工序图。

图22是用于说明实施例4的阵列基板的主要部分的模式工序图。

图23是用于说明实施例5的阵列基板的主要部分的模式工序图。

图24是用于说明实施例6的阵列基板的主要部分的模式工序图。

- 5 图25是含有实施例7的阵列基板的显示屏的、对应图3的、像素部分的模式层积截面图。

图26是含有实施例8的阵列基板的显示屏的、对应图13的、像素部分的模式层积截面图。

- 10 图27是含有实施例9的阵列基板的显示屏的、对应图3的、像素部分的模式层积截面图。

图28是含有实施例10的阵列基板的显示屏的、对应图13的、像素部分的模式层积截面图。

图29是含有实施例11的阵列基板的显示屏的、对应图3的、像素部分的模式层积截面图。

- 15 图30是含有实施例12的阵列基板的显示屏的、对应图13的、像素部分的模式层积截面图。

图31是含有实施例13的阵列基板的显示屏的、像素部分的模式层积截面图。

图32是含有实施例13的阵列基板的显示屏的、周边部的模式层积截面图。

图33是实施例13的阵列基板的像素点部分的平面图。

- 20 图34是实施例14的在阵列基板的、透明像素电极和反射像素电极的配置场所的层积截面图。

具体实施例

<实施例1>

- 25 采用图1至图9说明实施例1的阵列基板及其制造方法。

图1是用于说明实施例的制造方法的主要部分的、部分层积截面图的模式工序图。图2是实施例的阵列基板10的模式平面图，图3和图4分别表示含有实施例的阵列基板10的显示屏100的像素部分和周边部的层积结构。

首先，采用图2至图4说明阵列基板10的结构。

- 30 如图2和图3所示，在下层的扫描线11和上层的信号线31的交点附近配置有

根据附加到扫描线11的脉冲电压而开关从信号线31到像素电极6的信号输入的TFT9。TFT9的栅极11a由扫描线11的延续部形成，TFT9的漏极32由信号线31的延续部形成。另外，TFT9的源极33经贯通透光性的厚型树脂膜5的接触孔53电连接到像素电极6。

- 5 像素电极6按由扫描线11和信号线31划分的块状区域（像素点区域）相互电连接并绝缘配置，覆盖几乎整个该区域，同时两边缘部与信号线31重叠。各像素电极6装配由金属构成的、这里是1个反射像素电极73、ITO等具有透光性的透明像素电极63a、63b、以及63c。这些透明像素电极63a、63b、以及63c配置在对应于反射像素电极73的3个窗状开口的位置，反射像素电极的窗状开口的内缘部
- 10 和透明像素电极63a、63b、以及63c的外缘部直接重合并相互导通。

反射像素电极73为了提高散光性而形成凸凹图形。

- 透光性的厚型树脂膜5例如由厚度大于1 μ m的、低介电系数的绝缘性树脂材料构成，特别是由丙烯酸系树脂等感光型硬化性有机树脂材料构成。厚型树脂膜5覆盖除了连接焊盘14的配置场所和、上层接触孔51~53的场所的几乎整个阵列基板。
- 15

在像素电极的大致中央，在由反射像素电极73覆盖的区域内，由与扫描线相同材料构成的辅助电容线宽幅部12a和、从源极33延续的辅助电容用延续部35重合而形成像素电极6的辅助电容。

- 如图2和图4所示，在连接用周边部中，在厚型树脂膜5的取掉区域54中排列有连接焊盘14。连接焊盘14在与扫描线11同一工序中由同一材料作成，通过从该连接焊盘14向基板内侧延续的焊盘用布线14a和、接触孔41、51、52以及覆盖这些的桥状导电膜71电连接到信号线31的前端部31a。在此，在焊盘用布线14a的端部中，在贯通厚型树脂膜5的上层接触孔51的底部配置有贯通栅极绝缘膜15的下层接触孔41。另一方面，在信号线的前端部31a只配置有贯通厚型树脂膜5的上层接触孔52。
- 20
- 25

图1示出在焊盘用布线14a的基板内侧的端部处作成下层接触孔41的工序。该工序的概要如下。

首先，在厚型树脂膜5的图形上设置有保护层图形8。该保护层图形8是在贯通厚型树脂膜5的上层接触孔51处设置直径比其小一圈的开口81的图形。

- 30 在该保护层图形8的下面进行下述（1）~（3）的3阶段的湿蚀刻。另外，

接着进行形成桥状导电膜71的工序(4)。

(1) 第1蚀刻(ITO图形的形成: 5PEP(1)、图7)

利用只蚀刻a-ITO膜的草酸溶液, 沿着保护层图形8的轮廓构图a-ITO膜。这样, 形成除了开口81的轮廓内而覆盖上层接触孔51及其附近的ITO膜图形61'。

5 同时, 在像素区域形成透明像素电极63a、63b以及63c。

(2) 第2蚀刻(通孔的形成: 5PEP (2))

由氧化硅等构成的栅极绝缘膜15由湿蚀刻液等蚀刻, 形成贯通栅极绝缘膜15的下层接触孔41。该蚀刻中侧蚀刻大、形成的下层接触孔41的直径比保护层图形8的开口81的直径大得多。因此, 在开口81的下边缘和、下层接触孔41的上边缘之间的区域形成ITO膜朝内侧突出的“帽檐状部分”6a。

(3) 第3蚀刻(ITO的背面蚀刻: 5PEP (3)、图8)

再次使用草酸水溶液去除“帽檐状部分”6a。在此, 通过由第2蚀刻形成的下层接触孔41, 蚀刻液从保护层图形8的背侧作用。即, 进行“背面蚀刻”。

这些一连串构图的结果, 形成省去了下层接触孔41的地方的开洞ITO膜碎片61。

接着, 进行保护层图形8的剥离、清洗、a-ITO膜的锻烧(通过加热而结晶)。

(4) 最上层金属图形的形成(6PEP、图9)

堆积了钼金属膜和铝金属膜的层积膜(Mo/Al)之后, 再进行保护层的涂敷、采用光掩模的曝光、以及显影。接着, 利用蚀刻, 作成覆盖从下层接触孔41和与其相连的上层接触孔51处至其相邻的上层接触孔52的区域的桥状导电膜71。此时, 在像素区域形成反射像素电极73。

接着, 采用图5至图8具体说明阵列基板10的制造工序。

另外, 在制造阵列基板10时, 在一个大判的原基板(例如550mm×650mm)的状态下, 在每个规定尺寸(例如, 对角尺寸2.2英寸)区域形成各液晶显示装置的布线成膜图形。接着, 经密封材料和隔片与同样在大判状态下作成的对置基板用的原基板粘贴后, 切出相当于各液晶显示装置的单元结构体。

(1) 第1构图(图5)

在玻璃基板18上利用溅射法堆积230nm钼钨合金膜(MoW膜)。接着, 通过采用第1光掩模的构图, 在每个对角尺寸2.2英寸(56mm)的长方形区域形成176根扫描线11、由其延续部构成的栅极11a、以及个数与扫描线11大致相同的辅助

电容线(Cs布线)12。图示例中,辅助电容线12配置在邻接的扫描线11的略中间,在每个像素点避开信号线31的配置场所附近而形成一个略正形状的宽幅部12a。

另外,同时在周边部作成连接焊盘14和从其延续的焊盘用布线14a。

5 (2) 第2构图(图6)

首先,堆积构成第1栅极绝缘膜15a的350nm厚的氧化硅膜(SiO₂膜)。用氟酸处理表面之后,再使构成第2栅极绝缘膜15b的40~50nm的氮化硅膜(SiN_x膜)、作成TFT9的半导体膜36的50nm厚的非晶态硅(a-Si:H)层、以及形成TFT9的通道保护膜21等的膜厚200nm的氮化硅膜(SiN_x膜)不暴露于大气中而连续成膜(图3)。

涂敷了保护层之后,利用掩模由第1构图得到的扫描线11等图形的背面露光技术,在各栅极11a上作成通道保护膜21。

(3) 第3构图(图3和图6)

为了得到良好的电阻接触,用氟酸处理非晶态硅(a-Si:H)层的露出的表面之后,利用与上述相同的CVD方法堆积用于作成低阻抗半导体膜37的50nm厚的リンドープ非晶态硅(n⁺a-Si:H)层(图3)。

接着,利用溅射法,堆积25nm厚的底部Mo层、250nm厚的Al层、以及50nm厚的顶部Mo层构成的三层金属膜(Mo/Al/Mo)。

接着,采用第3光掩模,曝光、显影保护层之后,汇总a-Si:H层、n⁺a-Si:H层、以及三层金属膜(Mo/Al/Mo)形成图形。利用该第3构图,在每个对角尺寸2.2英寸(56mm)的长方形区域作成220×3根信号线31、从各信号线31延续的漏极32、和源极33。

同时,为了几乎重合于辅助电容线12的宽幅部12a,配置有比宽幅部12a的外周边缘稍微靠外的辅助电容用延续部(Cs用图形)35。该辅助电容用延续部35是从源极33沿着信号线31延续的直线布线35a进一步延续的矩形图形。

(4) 第4构图

在如上述得到的多层膜图形上利用镀膜机均匀涂敷干燥后的膜厚为2μm的丙烯酸树脂构成的正感光性硬化性树脂液。接着,在进行了如下述的曝光操作之后,进行显影、紫外线照射、后烘、以及清洗操作。紫外线照射是通过降低厚型树脂膜5中的未反应部分来提高厚型树脂膜5的透光率的操作。

曝光操作是在设置上层接触孔51~53的地方、以及用于连接焊盘的取掉区域54进行较强的曝光,在设置反射像素电极区域内的凹部56的地方进行较弱的曝光(参考图2和图3)。

例如,准备2张光掩模,可以在一光掩模下进行较强曝光,在另一光掩模下
5 进行较弱曝光。该“较强曝光”和“较弱曝光”是通过调整曝光强度和曝光时间,对有效光线的累积曝光量设置适当差来进行的。

在受到“较强曝光”的地方作成了贯通厚型树脂膜5的上层接触孔51~53和焊盘用取掉区域54,在受到“较弱曝光”的地方形成例如深1 μ m的凹部56。

通过在配置反射像素电极73的区域设置多个凹部56,形成使反射像素电极
10 73具有散光功能的凹凸图形。

图例中,厚型树脂膜5装配在液晶显示装置时,起使液晶层厚度大致均匀的平坦化膜的作用,同时起通过使像素电极与信号线等重叠而提高光利用率的作用。

上述说明中,说明了厚型树脂膜5由正感光性树脂形成的情况,但也可以采用
15 用负感光性树脂。在此,不进行曝光的区域和、进行较强曝光的区域更换,但进行较弱曝光的区域完全相同。

另外,上述中,也可以代替采用2个光掩模,而采用在规定区域具有网状图形的光掩模,即所谓的半色调构图,对累积曝光量设置级差。

(5) 第5构图(图7和图8、以及图1)

20 作为透明导电层堆积了40nm厚的a-ITO之后,进行保护层的涂敷、曝光以及显影。接着,在该保护层图形8下进行以下3阶段的蚀刻操作。保护层图形8在上层接触孔5处具有开口。在焊盘用布线14a的端部处,开口81的尺寸比上层接触孔的内径(即,底面的直径)小一圈。

(5-1) ITO图形的形成(图17)

25 首先,将草酸水溶液作为蚀刻液,通过在例如45 下处理约50秒,去除保护层图形8覆盖处以外的a-ITO膜。即,作成沿着图形8的形状的a-ITO膜的图形。

这样,在每个像素点形成构成透过像素电极63的、3个略矩形图形63a、63b以及63c。

同时,在阵列基板的周边部形成覆盖一对上层接触孔51的壁面的ITO膜图形
30 61'。同时,形成将连接焊盘14除了其中心的线状区域而进行覆盖的焊盘覆盖ITO

层64'。

(5-2) 通孔形成 (图1A)

接着, 将缓冲氟酸 (BHF、氟化氢—氟化氨缓冲液) 作为蚀刻液例如利用溅射方式在28 °C下处理120秒。这样, 为了露出与扫描线11 (门线) 同时形成的焊盘用布线14a的上面, 在上层接触孔51的底面区域内去除栅极绝缘膜15。缓冲氟酸例如含有6%的氟化氢、和30%的氟化氨。蚀刻的时间设定为侧蚀刻不过大, 并且形成的下层接触孔41的内壁面倾斜构成45°左右的锥面。

如图1A所示, 在用于作成通孔的湿蚀刻时, 在栅极绝缘膜15产生很多侧蚀刻。因此, 保护层图形8的开口81的内径D1 (底部的直径) 设定为比对应的树脂膜的上层接触孔51~53的底部内径D2小以下部分, 即在两侧对侧蚀刻的尺寸d相加一些余量m的尺寸部分。即, $D1 = D2 - 2(d + m)$ 。在本实施例中, 余量m为约2μm。

该余量m考虑侧蚀刻条件的一些偏差, 设定为贯通栅极绝缘膜15的下层接触孔41的上边缘必需在分别对应的、贯通厚型树脂膜5的上层接触孔51的下边缘 (底侧的边缘) 的内侧。覆盖接触孔壁面的导电层是用于防止因突出部分的形成而引起所谓“分段”。

(5-3) a-ITO背面蚀刻 (图1B和图8)

通过再次将草酸水溶液作为蚀刻液例如在45 °C下处理15秒钟, 去除栅极绝缘膜15的侧蚀刻引起的a-ITO的“帽檐状部分”6a。如图1B中模式示出, 进行向保护层图形8的背侧渗入蚀刻液的蚀刻, 即“背面蚀刻”。

该背面蚀刻结束后, 保护层图形8被剥离, 清洗后, 进行使a-ITO结晶的煅烧。

另外, 虽然在背面蚀刻之后, 覆盖接触孔51附近的碎片状ITO膜的内缘位于下层接触孔41的上边缘和上层接触孔51的下边缘之间的支架状区域内。接着, 从上述ITO膜图形61和焊盘覆盖ITO层64'去除下层接触孔41和连接焊盘14露出部的地方的结果, 在周边部形成1个孔的ITO膜61和、围绕连接焊盘14的露出部的边缘状的ITO膜碎片64。

(6) 第6构图 (图1C、图8以及图9)

利用溅射法, 堆积由50nm厚的钼金属膜和、其上的50nm厚的铝金属膜构成的层积膜 (Mo/Al)。接着, 采用光掩模形成保护层图形之后, 利用采用湿蚀刻

的构图,作成覆盖相邻的一对下层接触孔41、42的桥状导电膜71、焊盘覆盖部74和、覆盖各像素点的大部分的反射像素电极73。

各像素点中,反射像素电极73构成露出前面形成的透过像素电极63a、63b以及63c的周边部以外的透过用开口73a、73b以及73c。另外,通过与透光像素电极63a、63b和63c的周边部重合,与这些各像素电极63a、63b以及63c电导通。

反射像素电极73还覆盖TFT9处,利用源极33上的接触孔43、53与源极33直接连接并导通。另外,反射像素电极73中沿着信号线31的边缘部经厚型树脂膜5与信号线31的两边缘重合。

这样,完成大判的原基板状态的阵列基板10。

10 与其组合的、对置基板102的原基板经(i)遮光层图形(黑矩阵)108的形成、(ii)对各像素点的红(R)、蓝(B)、绿(G)的滤色层109的形成、(iii)柱状隔片的形成、以及(iv)构成对置基板107的ITO膜的成膜的各工序而作成。

之后,对某些原基板涂敷密封材料105并进行按压、硬化。利用划片切出单元结构体之后,通过注入液晶材料103并密封注入口而作成显示屏100主体之后,15 安装TCP和驱动电路基板,以及背照装置后完成液晶显示装置。

另外,图3和图4中省略了,但在阵列基板10和对置基板102的液晶侧的最外层中,用于确定与其相接的液晶材料的定向的取向膜是通过聚酰胺(PI)等构成的树脂膜的形成、以及接着的摩擦处理而形成。另外,在阵列基板10和对置基板102的外面侧粘贴有偏光板104。

20 <比较例1>

下面,采用图10说明比较例的制造方法。

比较例的阵列基板的制造方法中,将厚型树脂膜5的图形作为掩模,进行了其下层侧的栅极绝缘膜的构图。为了汇总氧化硅膜或氧化氮硅膜并蚀刻,与上述实施例同样,采用了缓冲氟酸。

25 其结果,如图10A所示,起因于侧蚀刻,上层接触孔51的下边缘从下层接触孔41的上边缘朝接触孔内方向突出,在下层接触孔41的整个全周形成覆盖边缘部的突出。因此,在设置了覆盖上层和下层接触孔51、41的金属膜71'时,在金属膜71'产生“分段”71a。

<实施例2>

30 采用图11至图19说明实施例2的阵列基板及其制造方法。

图11是用于说明实施例2的制造方法的主要部分的、部分层积截面的图1的模式工序图。图12是实施例2的阵列基板10'的模式平面图,图13和图14分别表示包含实施例2的阵列基板10'的显示屏100'的像素部分和周边部的层积结构。

首先,采用图12至图14说明阵列基板10'的结构。

5 在像素部分中,如图12和图13所示,与实施例1的场合相同的结构中,层间绝缘膜4从下方与透光性厚型树脂膜15重合(在厚型树脂膜5和栅极绝缘膜15间还具有层间绝缘膜4的结构),TFT9的源极33经贯通层间绝缘膜4和透光性厚型绝缘膜5的接触孔43、53电连接到像素电极6。另外,在该接触孔43、53处形成开洞环形体状的ITO膜62。

10 在周边部中,如图12和图14所示,与实施例1的场合同样的结构中,在如下构成的、各信号线31的前端部31a和、从连接焊盘14向基板内侧延续的焊盘用布线14a的连接处,与像素电极同时形成的桥状导电膜71覆盖接触孔41、42、51、52的整个配置区域。

图11示出在焊盘用布线14a的基板内侧的端部处作成下层接触孔41的工序。

15 该工序的概要如下。

首先,在厚型树脂膜5的图形上设置保护层图形8。该保护层图形8在贯通厚型树脂膜5的上层接触孔51处设置直径比其小一圈的开口81。

在该保护层图形8下进行下述(1)~(3)的3阶段的湿蚀刻。另外,接着进行形成桥状导电膜71的工序(4)。

20 (1)第1蚀刻(ITO图形的形成:5PEP(1)、图17)

利用只蚀刻a-ITO膜的草酸溶液,沿着保护层图形8的轮廓构图a-ITO膜。这样,形成覆盖上层接触孔51及其附近的ITO膜图形61'。

同时,在像素区域形成透明像素电极63a、63b以及63c。

(2)第2蚀刻(通孔的形成:5PEP(2))

25 由氮化硅等构成的层间绝缘膜4和、由氧化硅构成的栅极绝缘膜15由湿蚀刻液等蚀刻,形成贯通这些绝缘膜4、15的下层接触孔41。该蚀刻中,侧蚀刻大、形成的下层接触孔41的直径比保护层图形8的开口81的直径大得多。因此,在开口81的下边缘和、下层接触孔41的上边缘之间的区域形成ITO膜朝内侧突出的“帽檐状部分”。

30 同时,在像素电极区域形成在层间绝缘膜4露出源极33的接触孔43。

(3) 第3蚀刻 (ITO的背面蚀刻: 5PEP (3)、图18)

再次使用草酸水溶液去除“帽檐状部分”6a。在此, 通过由第2蚀刻形成的下层接触孔41, 蚀刻液从保护层图形8的背侧作用。即, 进行“背面蚀刻”。

这些一连串构图的结果, 形成省去了下层接触孔41的地方的开洞ITO膜碎片
5 61。

接着, 进行保护层图形8的剥离、清洗、a-ITO膜的锻烧 (通过加热而结晶)。

(4) 最上层金属图形的形成 (6PEP、图19)

堆积了钼金属膜和铝金属膜的层积膜 (Mo/Al) 之后, 再进行保护层的涂敷、采用光掩模的曝光、以及显影。接着, 利用蚀刻, 作成覆盖从图11所示的下层接
10 触孔41至相邻的下层接触孔42 (图19) 的区域的桥状导电膜71。此时, 在像素区域形成反射像素电极73。

接着, 采用图15至图19具体说明阵列基板10'的制造工序。

另外, 在制造阵列基板10'时, 在一个大判的原基板 (例如550mm×650mm) 的状态下, 在每个规定尺寸 (例如, 对角尺寸2.2英寸) 区域形成各液晶显示装
15 置的布线成膜图形。接着, 经密封材料和隔片与同样在大判状态下作成的对置基板用的原基板粘贴后, 切出相当于各液晶显示装置的单元结构体。

(1) 第1构图 (图15)

在玻璃基板18上利用溅射法堆积230nm钼钨合金膜 (MoW膜)。接着, 通过采用第1光掩模的构图, 在每个对角尺寸2.2英寸 (56mm) 的长方形区域形成176
20 根扫描线11、由其延续部构成的栅极11a、以及个数与扫描线11大致相同的辅助电容线 (Cs布线) 12。图示例中, 辅助电容线12配置在2根扫描线11的略中间, 在每个像素点避开信号线31的配置场所附近而形成一个略正方形状的宽幅部12a。

另外, 同时在周边部作成连接焊盘14和从其延续的焊盘用布线14a。

25 (2) 第2构图 (图16)

首先, 堆积构成第1栅极绝缘膜15的350nm厚的氧化氮硅膜 (SiON×膜)。用氟酸处理表面之后, 再使作成TFT9的半导体膜36的50nm厚的非晶态硅 (a-Si:H) 层、以及形成TFT9的通道保护膜21等的膜厚200nm的氮化硅膜 (SiN×膜) 不暴露于大气中而连续成膜 (图3)。

30 涂敷了保护层之后, 利用掩模由第1构图得到的扫描线11等图形的背面露光

技术,在各栅极11a上作成通道保护膜21。

(3) 第3构图 (图16)

为了得到良好的电阻接触,用氟酸处理非晶态硅(a-Si:H)层的露出的表面之后,利用与上述相同的CVD方法堆积用于作成低阻抗半导体膜37的50nm厚的
5 リンドープ非晶态硅(n^+ a-Si:H)层(图13)。

接着,利用溅射法,堆积25nm厚的底部Mo层、250nm厚的Al层、以及50nm厚的顶部Mo层构成的三层金属膜(Mo/Al/Mo)。

接着,采用第3光掩模,曝光、显影保护层之后,汇总a-Si:H层、 n^+ a-Si:H层、以及三层金属膜(Mo/Al/Mo)形成图形。利用该第3构图,在每个对角尺寸2.2
10 英寸(56mm)的长方形区域作成220×3根信号线31、从各信号线31延续的漏极32、和源极33。

同时,为了几乎重合于辅助电容线12的宽幅部12a,配置有比宽幅部12a的外周边缘稍微靠外的辅助电容用延续部35。该辅助电容用延续部35是从源极33沿着信号线31延续的直线布线35a进一步延续的矩形图形。

15 (4) 第4构图

在如上述得到的多层膜图形上堆积50nm厚的氮化硅膜构成的层间绝缘膜4。

接着,利用镀膜机均匀涂敷干燥后的膜厚为2 μ m的丙稀树脂构成的正感光性硬化性树脂液。接着,在进行了如下述的曝光操作之后,进行显影、紫外线照射、后烘、以及清洗操作。紫外线照射是通过降低厚型树脂膜5中的未反应部
20 分来提高厚型树脂膜5的透光率的操作。

曝光操作是在设置上层接触孔51~53的地方、以及用于连接焊盘的取掉区域54进行较强的曝光,在设置反射像素电极区域内的凹部56的地方进行较弱的曝光(参考图12和图13)。

与实施例1所述相同,也可以采用负感光性树脂,也可以代替采用2张光掩
25 模,而采用在规定区域具有网状图形的光掩模对累积曝光量设置级差。

(5) 第5构图 (图17和图8、以及图11)

作为透明导电层堆积了40nm厚的a-ITO之后,进行保护层的涂敷、曝光以及显影。接着,在该保护层图形8下进行以下3阶段的蚀刻操作。保护层图形8在上层接触孔51~53处具有开口81,这些开口81的尺寸比对应的接触孔的内径(即,
30 底面的直径)小一圈。

(5-1) ITO图形的形成(图17)

首先,将草酸水溶液作为蚀刻液,通过在例如45 °下处理约50秒,去除保护层图形8覆盖处以外的a-ITO膜。即,作成沿着图形8的形状的a-ITO膜的图形。

这样,在每个像素点形成构成透过像素电极63的、3个略矩形图形63a、63b以及63c。另外,形成将源极33处的接触孔53除了其中心部而进行覆盖的开有小孔的ITO膜图形62'。

同时,在阵列基板的周边部形成将一对上层接触孔51~52除了各接触孔中心部而进行覆盖的开有小孔的ITO膜图形61'。同时,形成将连接焊盘14除了其中心的线状区域而进行覆盖的焊盘覆盖ITO层64'。

10 (5-2) 通孔形成(图11A)

接着,通过将缓冲氟酸(BHF、氟化氢-氟化氨缓冲液)作为蚀刻液例如利用溅射方式在28 °下处理120秒,在贯通厚型树脂膜5的上层接触孔51~53的底部区域内只去除绝缘膜4、15或层间绝缘膜4而露出其下层金属层。缓冲氟酸例如含有6%的氟化氢、和30%的氟化氨。蚀刻的时间设定为侧蚀刻不过大,并且形成的下层接触孔41~43的内壁面倾斜构成45°左右的锥面。

如图11A所示,在从连接焊盘14向基板内侧延续的焊盘用布线14a的端部,在上层接触孔51的底部轮廓内同时去除栅极绝缘膜15和层间绝缘膜4。即,作成贯通这些绝缘膜15、4而露出焊盘用布线14a的内侧端部的焊盘布线下层接触孔41。

20 另外,在与其邻接的信号线31的端部31a处,在上层接触孔52的内侧形成去除层间绝缘膜4而露出信号线端部31a的信号线端下层接触孔42。同时,在各像素点作成贯通层间绝缘膜4而露出源极33的源下层接触孔43。

如图11A所示,在用于作成通孔的湿蚀刻时,在绝缘膜15、4产生很多侧蚀刻。因此,保护层图形8的开口81的内径D1(底部的直径)设定为比对应的树脂膜的上层接触孔51~53的底部内径D2小以下部分,即在两侧对侧蚀刻的尺寸d相加一些余量m的尺寸部分。即, $D1 = D2 - 2(d + m)$ 。在本实施例中,余量m为约2 μm 。

该余量m考虑侧蚀刻条件的一些偏差,设定为贯通栅极绝缘膜15、4的下层接触孔41~43的上边缘必需在分别对应的、贯通厚型树脂膜5的上层接触孔51~53的下边缘(底侧的边缘)的内侧。覆盖接触孔壁面的导电层是用于防止因突

出部分的形成而引起所谓“分段”。

另外,在采用缓冲氟酸等氟酸系蚀刻液时,由于氮化硅膜构成的层间绝缘膜4的侧蚀刻速度一般比栅极绝缘膜15大得多,所以可以容易将贯通栅极绝缘膜15的下层接触孔41的壁面形成为锥状,即缓慢向上倾斜的斜面状。

5 (5-3) a-ITO背面蚀刻(图11B和图18)

通过再次将草酸水溶液作为蚀刻液例如在45℃下处理15秒钟,去除绝缘膜15、4的侧蚀刻引起的a-ITO的“帽檐状部分”6a。如图11B中模式示出,进行向保护层图形8的背侧渗入蚀刻液的蚀刻,即“背面蚀刻”。

该背面蚀刻结束后,保护层图形8被剥离,清洗后,进行使a-ITO结晶的煅烧。

另外,在背面蚀刻之后,覆盖接触孔51~53附近的碎片状ITO膜的内缘位于下层接触孔41~43的上边缘和上层接触孔的下边缘之间的支架状区域内。接着,从上述ITO膜图形61'~62'去除下层接触孔41~43的地方的结果,在周边部形成2个孔的ITO膜61,在源极33上形成开洞环形体状的ITO膜碎片62。另外,形成围绕连接焊盘14的露出部的边缘状的ITO膜碎片64。

(6) 第6构图(图19和图11C)

利用溅射法,堆积由50nm厚的钼金属膜和、其上的50nm厚的铝金属膜构成的层积膜(Mo/Al)。接着,采用光掩模形成保护层图形之后,利用采用湿蚀刻的构图,作成覆盖相邻的一对下层接触孔41、42的桥状导电膜71、焊盘覆盖部74和、覆盖各像素点的大部分反射像素电极73。

各像素点中,反射像素电极73构成露出前面形成的透过像素电极63a、63b以及63c的周边部以外的透过用开口73a、73b以及73c。另外,通过与透光像素电极63a、63b和63c的周边部重合,与这些各像素电极63a、63b以及63c电导通。

反射像素电极73还覆盖TFT9处,利用源极33上的接触孔43、53与源极33直接连接并导通。另外,反射像素电极73中沿着信号线31的边缘部经厚型树脂膜5与信号线31的两边缘重合。

这样,完成大判的原基板状态的阵列基板10'。

对置基板102的制造、以及与其组合的显示屏100'的制造与实施例1相同。

<比较例2>

下面,采用图20说明比较例2的制造方法。

比较例2的阵列基板的制造方法中,将厚型树脂膜5的图形作为掩模,进行了其下层侧的层间绝缘膜4和栅极绝缘膜的构图。为了汇总氮化硅膜、氧化硅膜或氧化氮硅膜并蚀刻,与上述实施例同样,采用了缓冲氟酸。

其结果,如图20A和图20B所示,起因于侧蚀刻,上层接触孔51的下边缘从下层接触孔41的上边缘向接触孔内方向突出,在下层接触孔41的整个全周形成覆盖边缘部的突出。因此,在设置了覆盖上层和下层接触孔51、41的金属膜71'时,在金属膜71'产生“分段”71a。

<实施例3~4>

实施例3~4在与上述实施例1或2同样的阵列基板的制造方法中,通过干蚀刻和湿蚀刻的组合来将露出焊盘用布线14a的根元部的接触孔41进行去除。

具体来说,上述第5构图的第2蚀刻工序(5PEP(2))通过以下2阶段的蚀刻进行。

(i) 利用干蚀刻去除氮化硅膜(图21A)

首先,利用化学干蚀刻(CDE)去除氮化硅膜构成的第2栅极绝缘膜15b。对应实施例2的实施例4中同时去除层间绝缘膜4(图22)。将蚀刻用的腔内保持在60℃温度和45Pa的真空下,持续导入330sccm的氧(O₂)和670sccm的四氟化碳(CF₄)气体。接着,用600W功率进行了45秒钟的蚀刻。

(ii) 利用湿蚀刻去除氮化硅膜(图21C)

接着,利用与上述实施例同样的缓冲氟酸去除氧化硅膜构成的第1栅极绝缘膜15a。此时,例如采用按重量比含有6%的氟化氢、以及30%的氟化胺的缓冲氟酸,利用溅射方式在28℃下处理70秒钟。

湿蚀刻时的侧蚀刻一般比干蚀刻时的侧蚀刻大,但如图21B所示,氮化硅膜(第2栅极绝缘膜15b)也被湿蚀刻受到侧蚀刻。其结果,接触孔41的内壁成为平稳的锥状。

<实施例5~6>

实施例5~6是在与上述实施例1或2同样的阵列基板的制造方法中,使栅极绝缘膜15为只由氮化硅膜构成的单层膜。另外,去除栅极绝缘膜15而形成接触孔41的工序都通过干蚀刻进行(图23和图24)。

由于干蚀刻时的侧蚀刻与如上述实施例进行湿蚀刻时相比小、成为某个程度的尺寸,所以通过用与上述实施例同样的方法制造,可靠防止分段。

以下,对于具体制造方法只说明与实施例1或实施例2不同的地方。

上述第2构图的工序中,堆积作为单层膜的栅极绝缘膜15'的约300nm厚的氮化硅膜(SiN×膜)。将表面用氟酸处理之后,接着,使作成TFT9的半导体膜36的50nm厚的非晶态硅(a-Si:H)层、以及形成TFT9的通道保护膜21等的膜厚
5 200nm的氮化硅膜(SiN×膜)不暴露于大气中而连续成膜(图3)。

接着,只利用化学干蚀刻(CDE)进行上述第5构图中的第2蚀刻。

具体说来,将蚀刻用的腔内保持在60 温度和45Pa的真空下,持续导入330sccm的氧(O₂)和670sccm的四氟化炭(CF₄)气体,用600W功率进行了60秒钟的蚀刻。

10 <实施例7~8>

实施例7~8在与上述实施例1或2同样的阵列基板的制造方法中,在透明像素电极63的配置处省略了厚型树脂膜5。图25是对应实施例1的实施例7的像素部的层积截面图。另外,图26是对应实施例2的实施例8的像素部的层积截面图。周边部的层积结构和制造工序与实施例1或2完全相同。

15 像这样,通过在透明像素电极63处省略厚型树脂膜5,可以避免光透过该树脂膜时的损失,即,可以提高背照光的利用率。

<实施例9~10>

实施例9~10是在与上述实施例1或2同样的阵列基板的制造方法中,在反射像素电极73的配置处省略了厚型树脂膜5的凹部56。即,反射像素电极没有凹凸
20 图形,是平图形。

图27是对应实施例1的实施例9的像素部的层积截面图。另外,图28是对应实施例2的实施例10的像素部的层积截面图。周边部的层积结构与实施例1或实施例2完全相同。

25 制造工序与上述第4构图工序相比,除了不进行用于形成凹部56的较弱曝光之外完全相同。

<实施例11~12>

实施例11~12是在与上述实施例1或2同样的阵列基板的制造方法中,在透明像素电极63的配置处省略了厚型树脂膜5,同时在反射像素电极73的配置处省略了厚型树脂膜5的凹部56。

30 图29是对应实施例1的实施例11的像素部的层积截面图。另外,图30是对应

实施例2的实施例12的像素部的层积截面图。周边部的层积结构与实施例1或2完全相同。

<实施例13>

下面,采用图31和图32的层积截面图、以及图33的平面图说明实施例13。

- 5 实施例13的液晶显示装置为在普通白模式的透光型方面与上述实施例1~12相同。但是,与上述各实施例不同,是正硅(p-Si) TFT型。

图31示出本实施例的显示屏100''的像素部分的层积结构。各像素点的TFT9由正硅(p-Si)的半导体层36'构成,是顶门型。即,栅极11a经栅极绝缘膜15配置在半导体层36'和围绕它的接触部32A、33A的上方。

- 10 另外,滤色层由阵列基板10''上的厚型树脂膜(平坦化膜)5形成。因此,黑矩阵在阵列基板10''和对置基板102的任一个都没有设置,而在滤色层覆盖整个像素点排列部分的区域通过喷墨方式的染色等形成。

- 15 反射像素电极73经贯通保护膜45的接触孔43'、以及作为滤色层贯通厚型树脂膜5的接触孔53与源极33导通。在此,与上述实施例2时完全同样,在源极33上形成开洞环形体状的ITO膜62。

另外,在栅极绝缘膜15上与扫描线同时形成的辅助电容线(Cs布线)12中,与TFT的半导体层36'同时形成的辅助电容用图形35经栅极绝缘膜15重叠。另外,该辅助电容用图形35'和、源极33以及反射像素电极73经贯通层间绝缘膜4和栅极绝缘膜的接触孔,相互电连接。

- 20 图32示出本实施例的显示屏100''的周边部。与上述各实施例完全同样,与信号线31同时形成的上层布线和、与扫描线同时形成的下层布线经贯通厚型树脂膜5的接触孔51、52,通过与像素电极73、63同时形成的导电层而电连接。

本实施例的信号线31末端的连接结构与实施例2的场合完全相同。但是,实施例2场合的层间绝缘膜4在本实施例中置换为保护膜45。

- 25 另外,设置这些接触孔51~53、53'以及41~42、43'、43''的工序与在上述实施例1~2中的第2蚀刻(通孔的形成:5PEP(2))中的所述方法完全相同。

制造这些p-SiTFT型的阵列基板10''的其它工序可以按照例如特开2000-330484或特开2001-339070所述方法进行。

- 30 另外,如图32所示,本实施例的连接焊盘14''处的结构与上述各实施例不同。由于驱动IC安装在阵列基板10''的周边部,所以连接焊盘14''是与来自外部驱

动部的柔性布线基板进行连接的地方。因此，在连接焊盘14''的周围省去厚型树脂膜5，在连接焊盘14''内的区域，与扫描线11同时形成的下层布线层和、与信号线31同时形成的上层布线层重叠，这些由与透明像素电极63同时形成的ITO膜覆盖。

- 5 图33的平面图示出本实施例的阵列基板10''的各像素点部分。如图所示，由铝（Al）构成的反射像素电极73构成一个窗状图形，由ITO构成的透明像素电极63覆盖构成该图形的一个开口。

<实施例14>

最后，采用图34的层积截面图说明实施例14。

- 10 图34示出对于反射像素电极73和透明像素电极63的配置处的、横切实施例14的信号线31的截面的层积结构。在透明像素电极63的配置处省去厚型树脂膜5，由此降低透光损失。另外，在对置基板侧配置滤色层，在透过像素电极63的外周边缘，即厚型树脂膜5构成的斜面处设置有与扫描线11同时形成的遮光膜19。这是为了防止从该处漏光、保持高度显示性能。

- 15 另外，图示了在反射像素电极73没有凸凹图形的状态，但也可以对厚型树脂膜5设置凹凸，与上述实施例同样使反射电极73具有散光性。

- 由阵列基板10''装配显示屏100''的工序与上述实施例1所述完全相同。另外，本实施例的图31中，描绘了在阵列基板10''和对置基板102的液晶侧的最上层的聚酰亚胺（PI）制的取向膜106。该取向膜在上述实施例1的图3和图4、上述实施
20 例2的图13和图14、上述实施例7的图25、上述实施例8的图26、实施例9的图27、实施例10的图28、实施例11的图29、实施例12的图30、实施例13的图32中省略图示。

本实施例中，说明了设置构成厚型树脂膜5的基体的保护膜45，但也可以省略保护膜45。此时，周边部的接触孔的制造和制造工序与实施例1完全相同。

- 25 上述各实施例中，说明了开洞导电膜（第2导电层）由透明导电材料构成、桥状导电膜（第3导电层）为金属膜的情况，但代替这些也完全相同。此时，第5构图的第1和第3蚀刻成为去除金属膜的蚀刻，覆盖接触孔底面的导电层由透明导电材料构成。

- 30 上述实施例1~12中说明了各像素点的开关元件为蚀刻制动型的TFT的场合，但通道蚀刻型也完全相同，根据情况也可以是顶门型。

另外, 上述实施例中说明了第1层布线图形(扫描线等图形)由称为钼钨合金(MoW)的高熔点金属构成, 但也可以是铝(Al)和钼(Mo)的层积膜。例如, 15nm的底部Mo层、中间的270nm的Al层和、50nm的顶部Mo层构成的3层结构或、270nm的Al层、覆盖它的50nm的Mo层构成的2层结构。

- 5 另外, 上述实施例中作为显示装置以半透过型液晶显示装置为例进行了说明, 但不限于此, 也可以适用于在阵列基板的TFT或布线图形的上层经厚型树脂膜配置像素电极的结构, 在阵列基板上具有多个像素电极膜的整个显示装置。

例如, 如有机EL显示装置, 也可以适用于在阵列基板上形成阳极和阴极的场合。此时, 例如可以在阳极形成开洞导电层, 在阴极构成桥状导电膜。

- 10 发明的效果

显示装置用布线基板及其制造方法中, 通过减少构图工序数, 可以提高制造效率, 降低制造成本和工序负担。

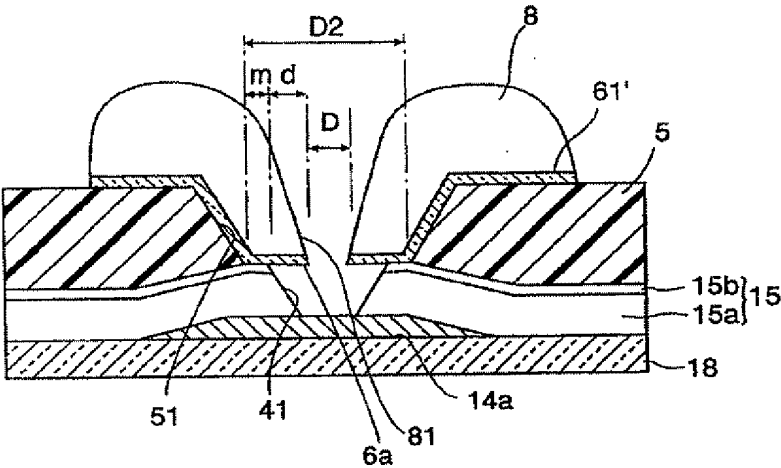


图 1A

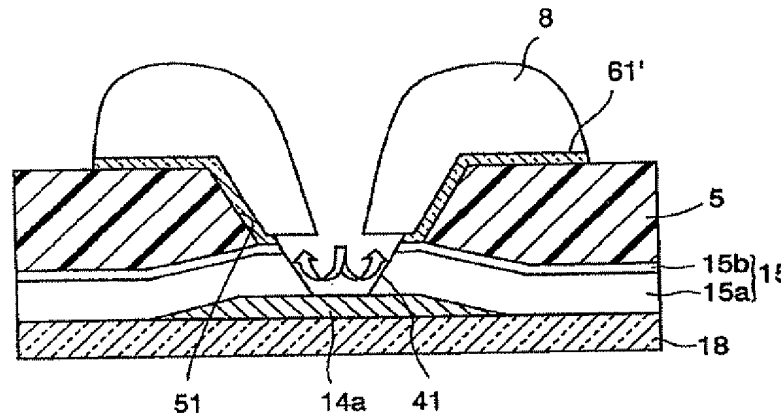


图 1B

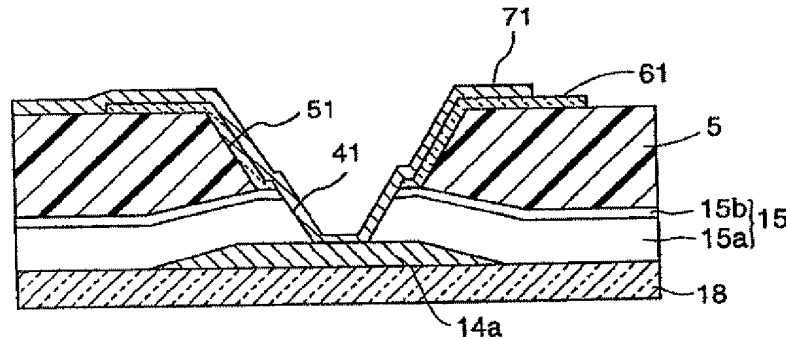


图 1C

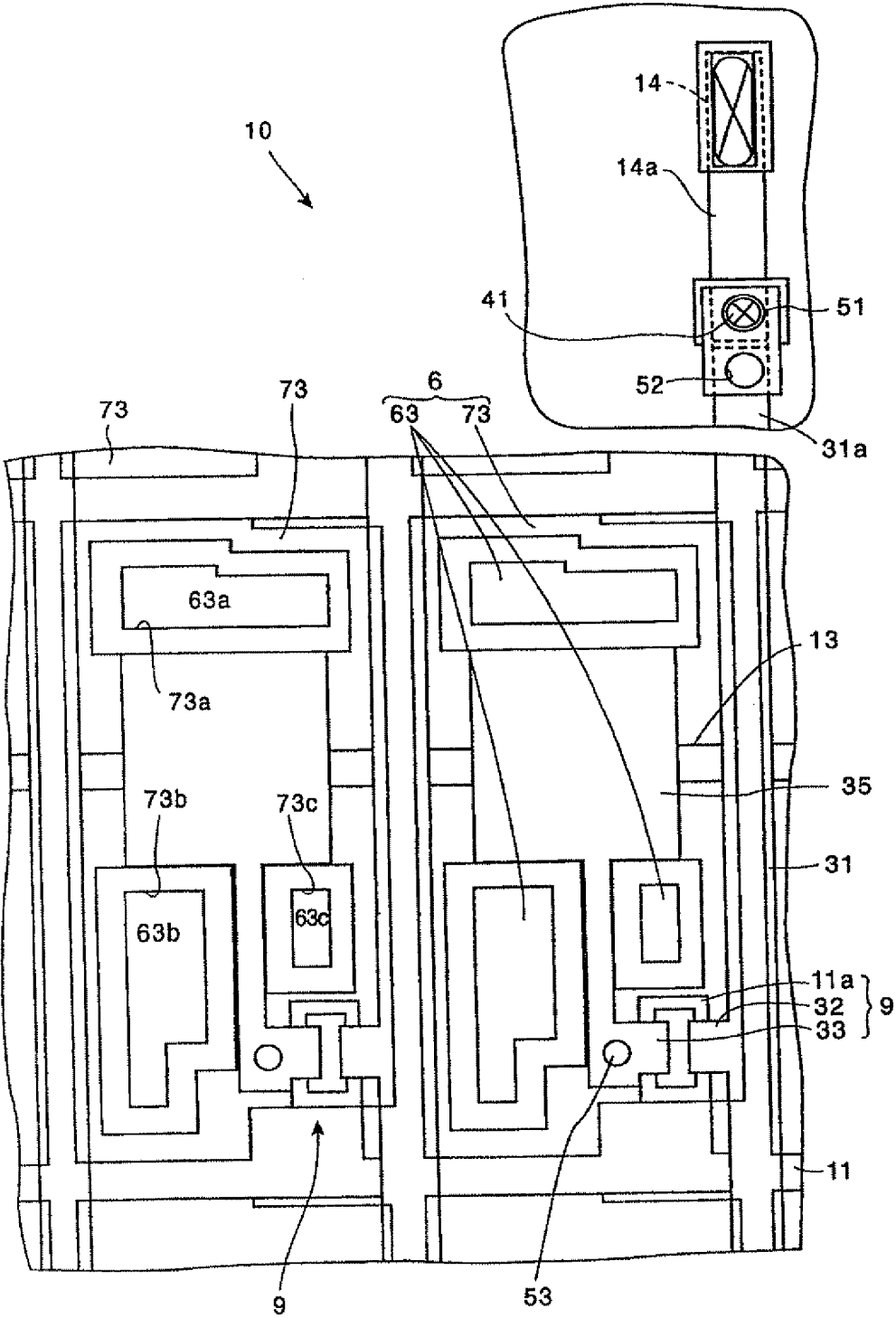


图 2

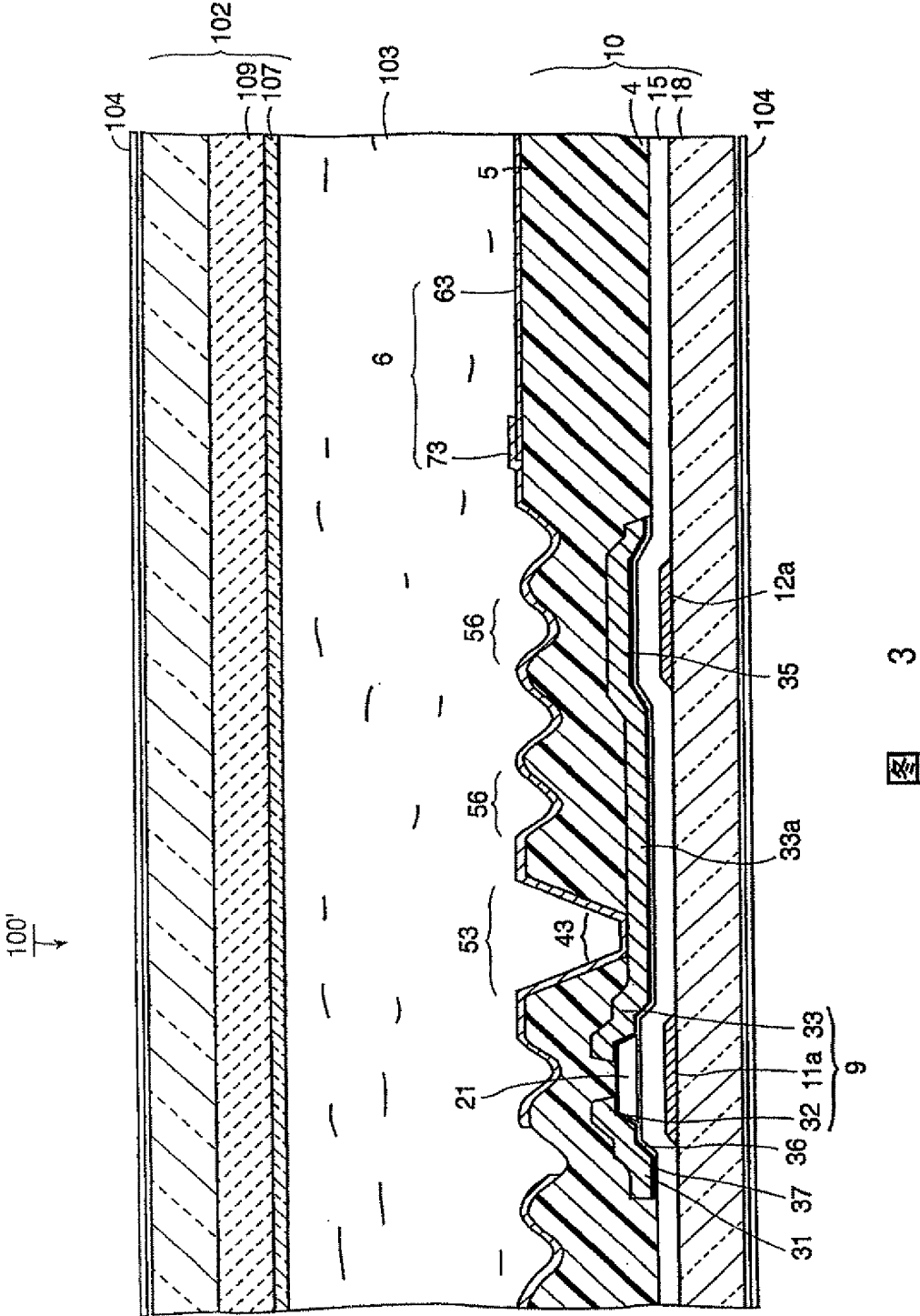


图 3

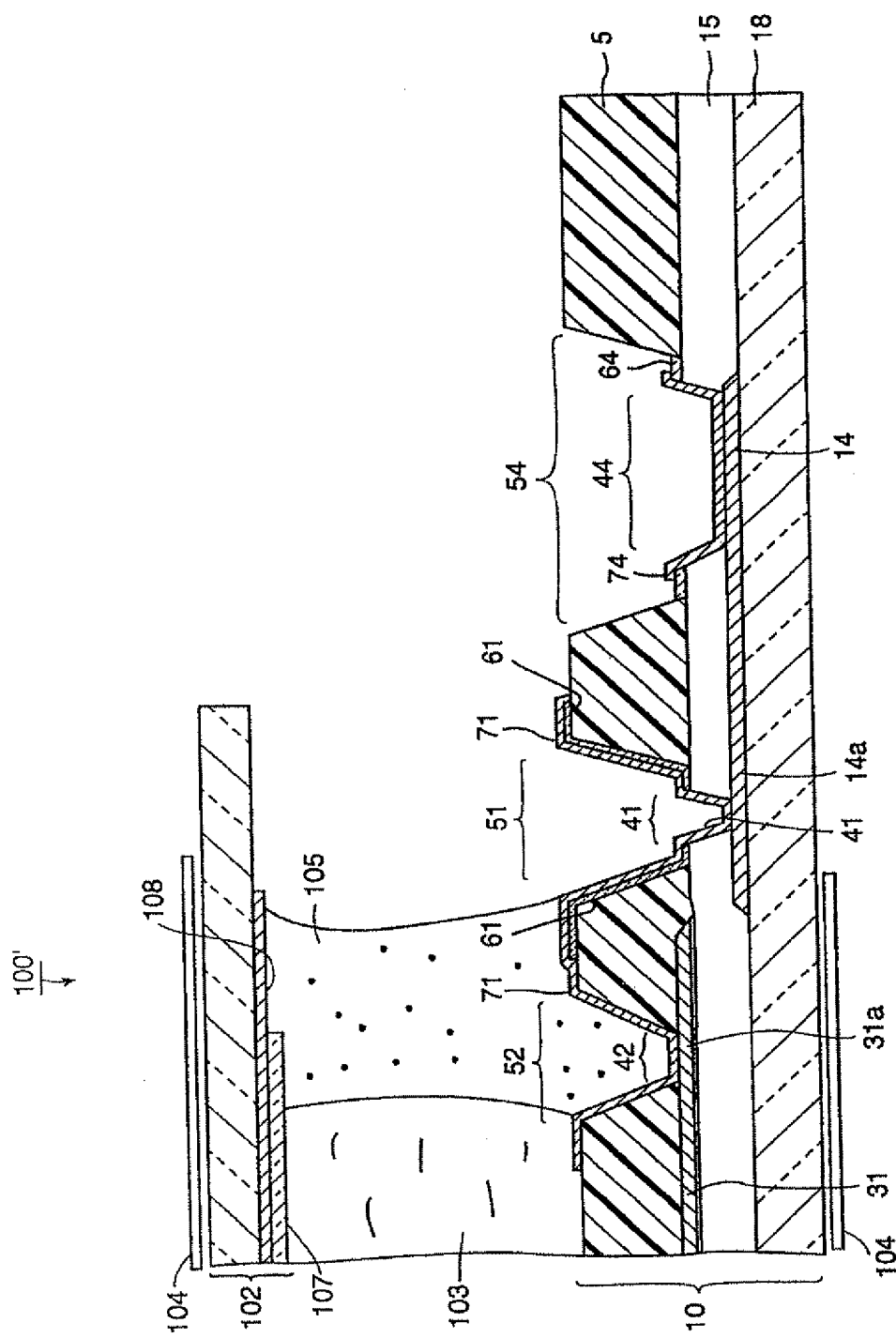


图 4

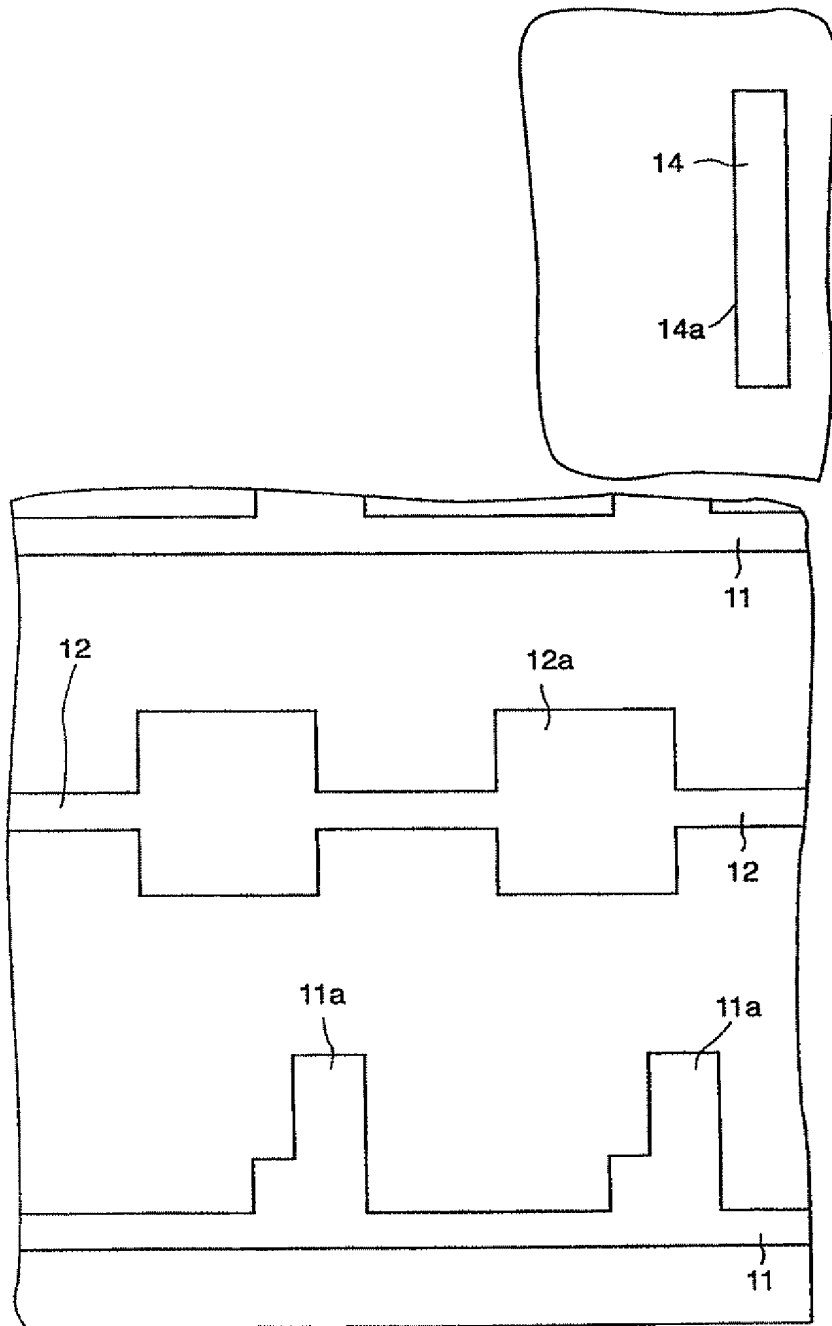


图 5

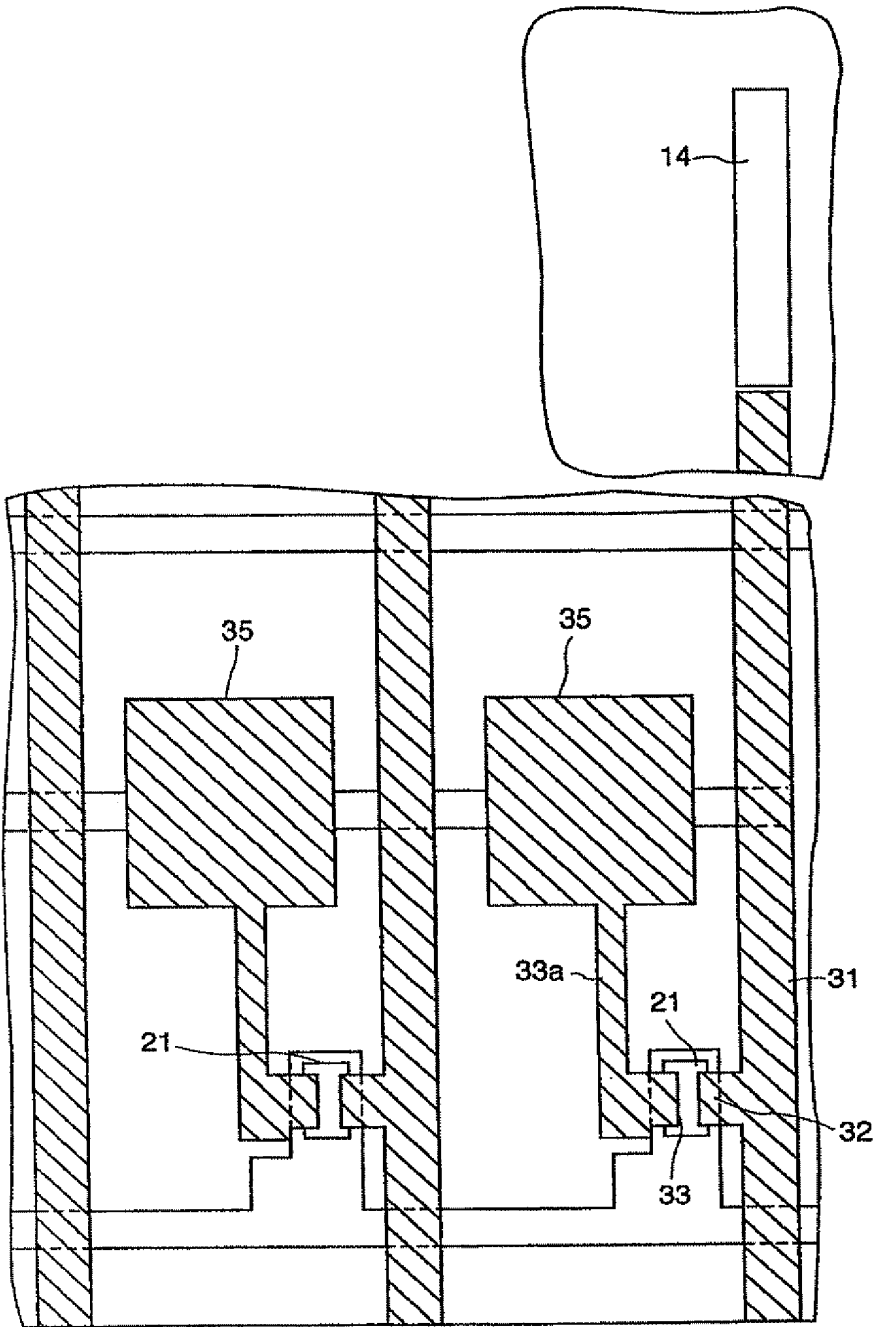


图 6

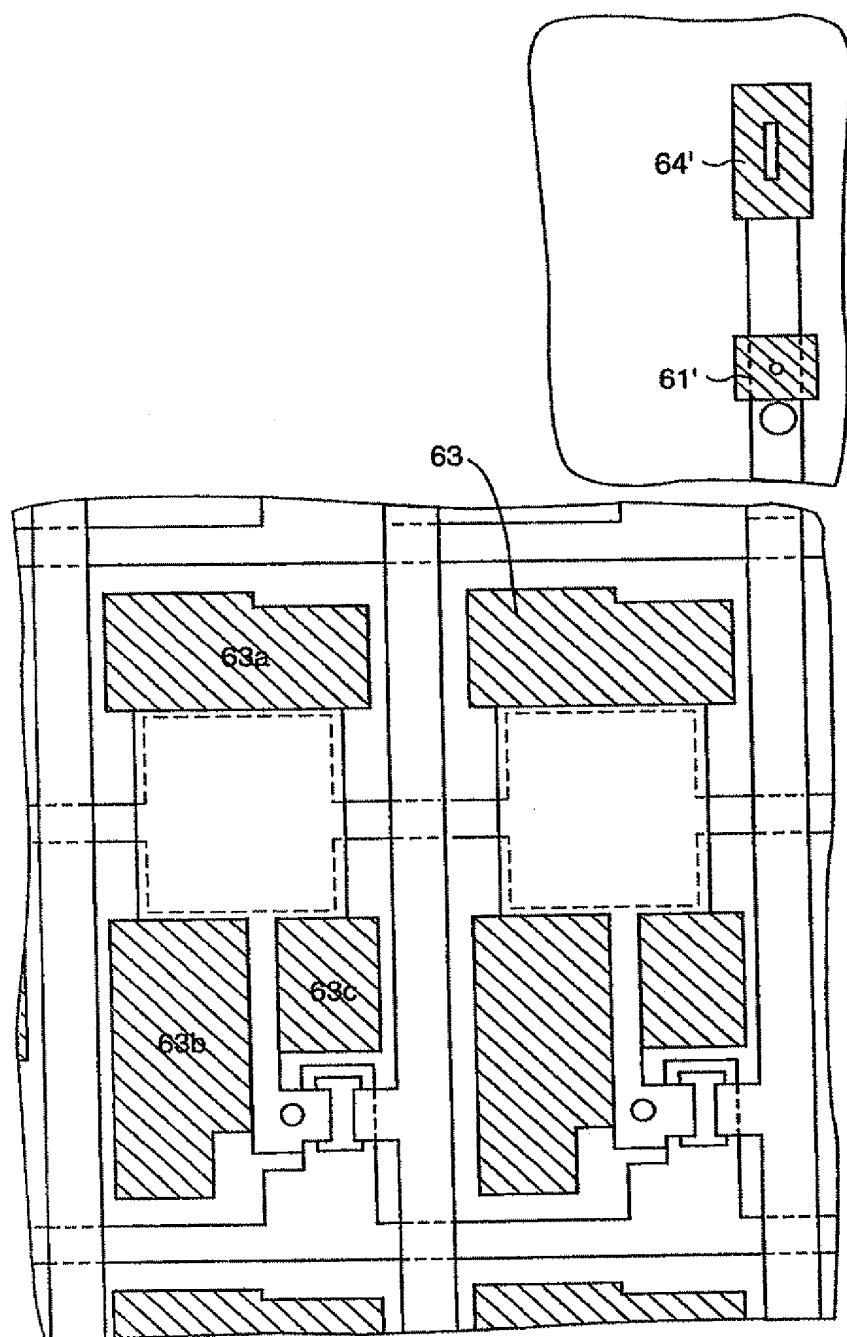
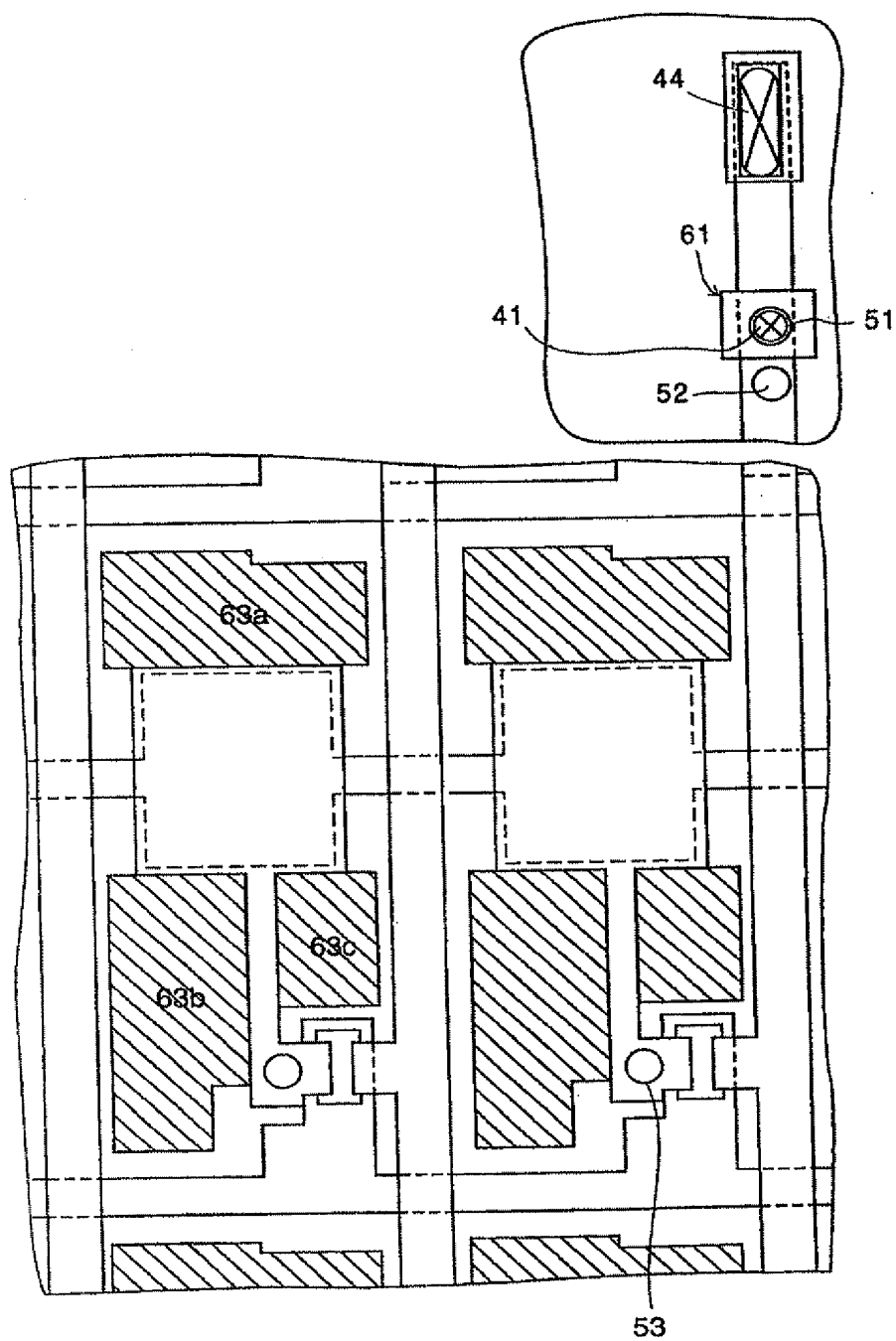


图 7



图

8

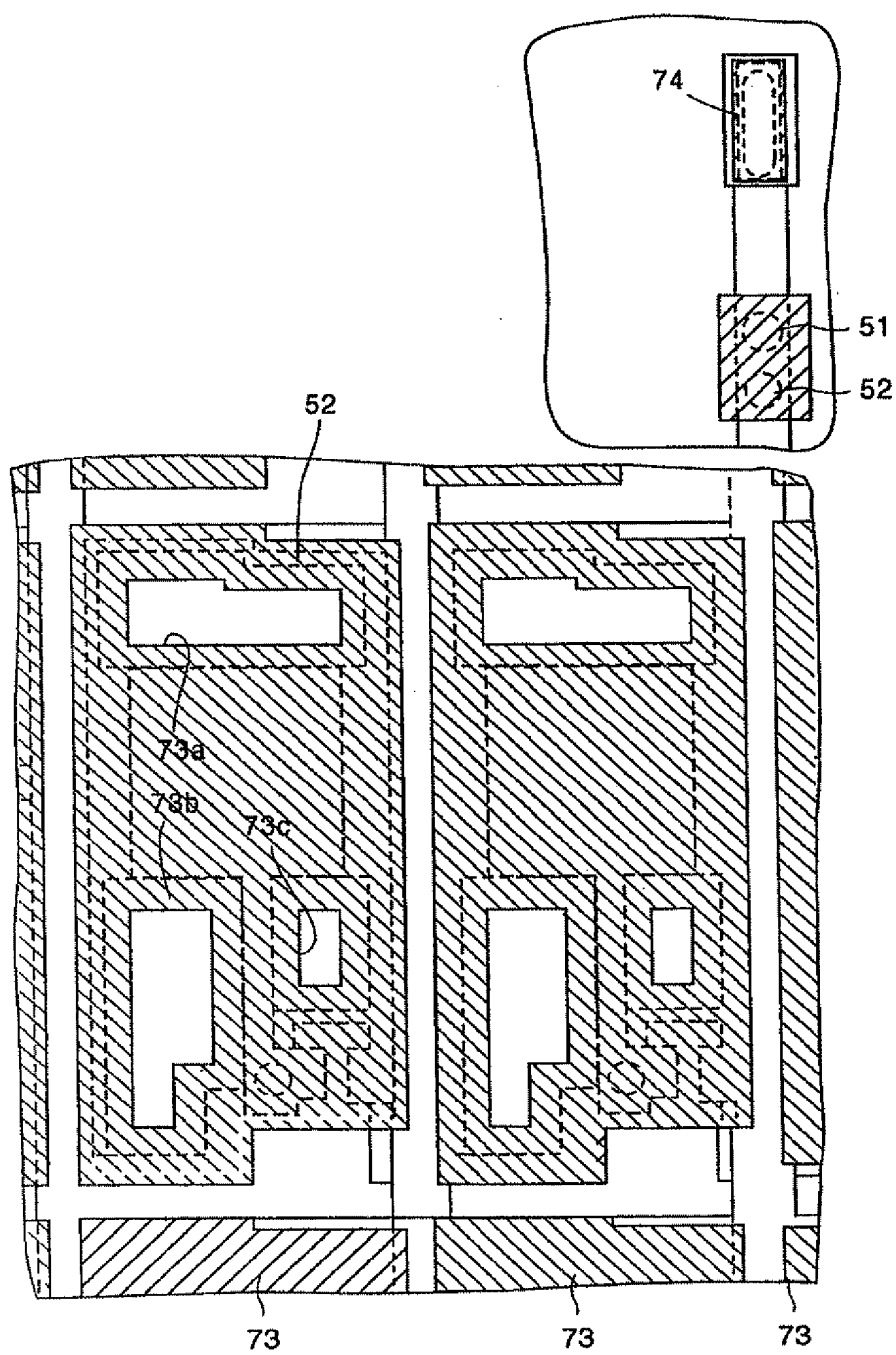


图 9

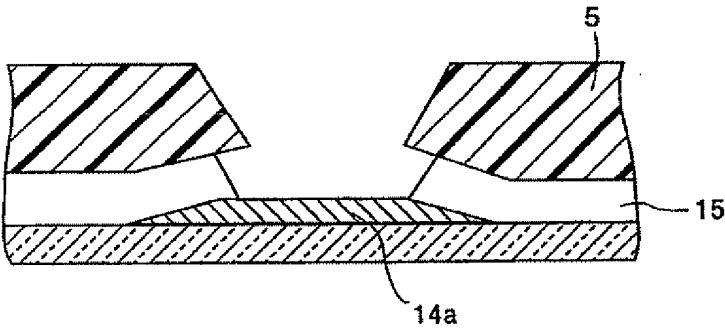


图 10A

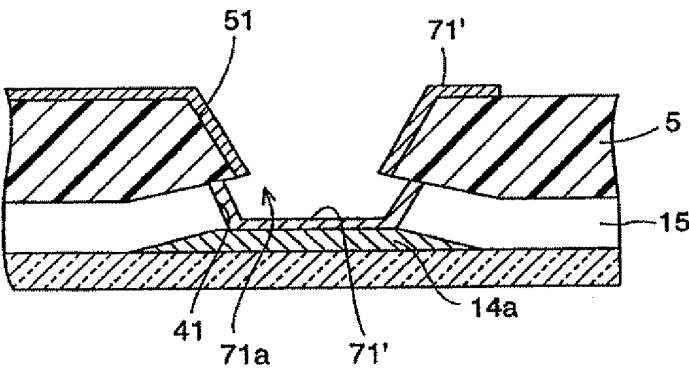


图 10B

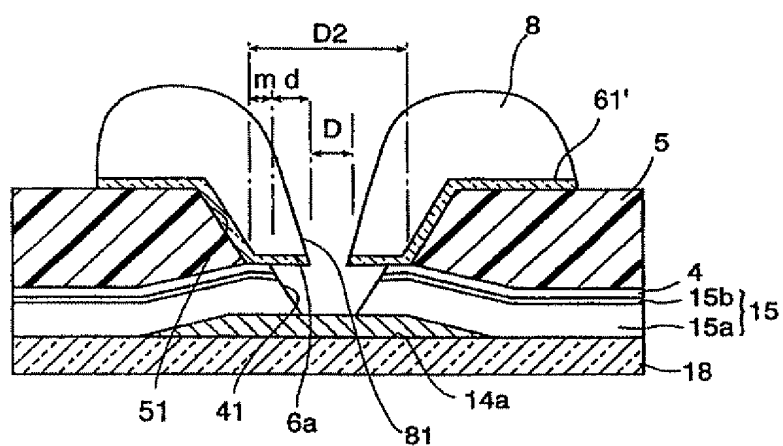


图 11A

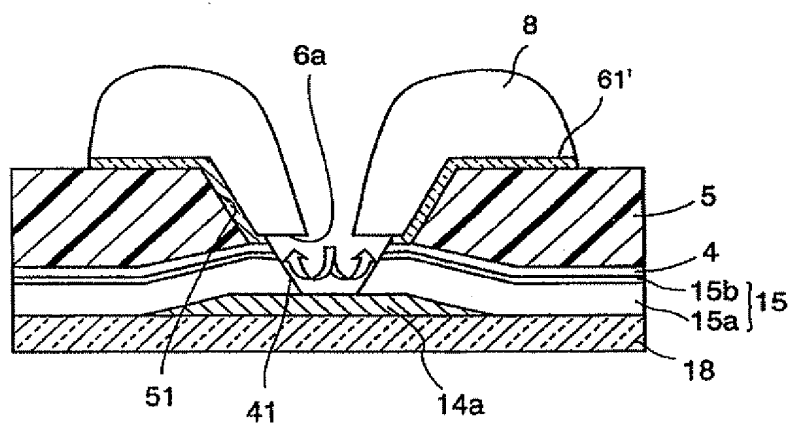


图 11B

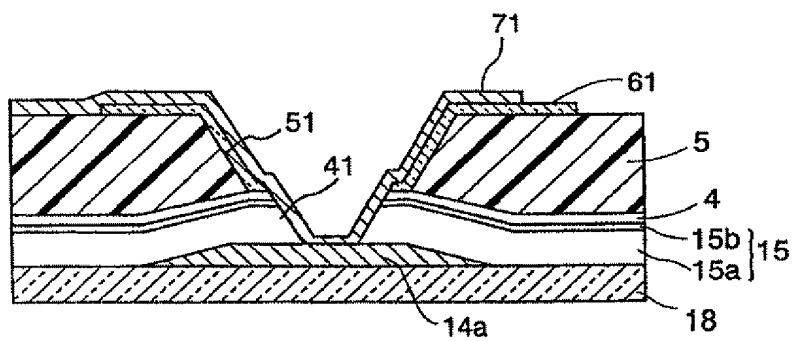


图 11C

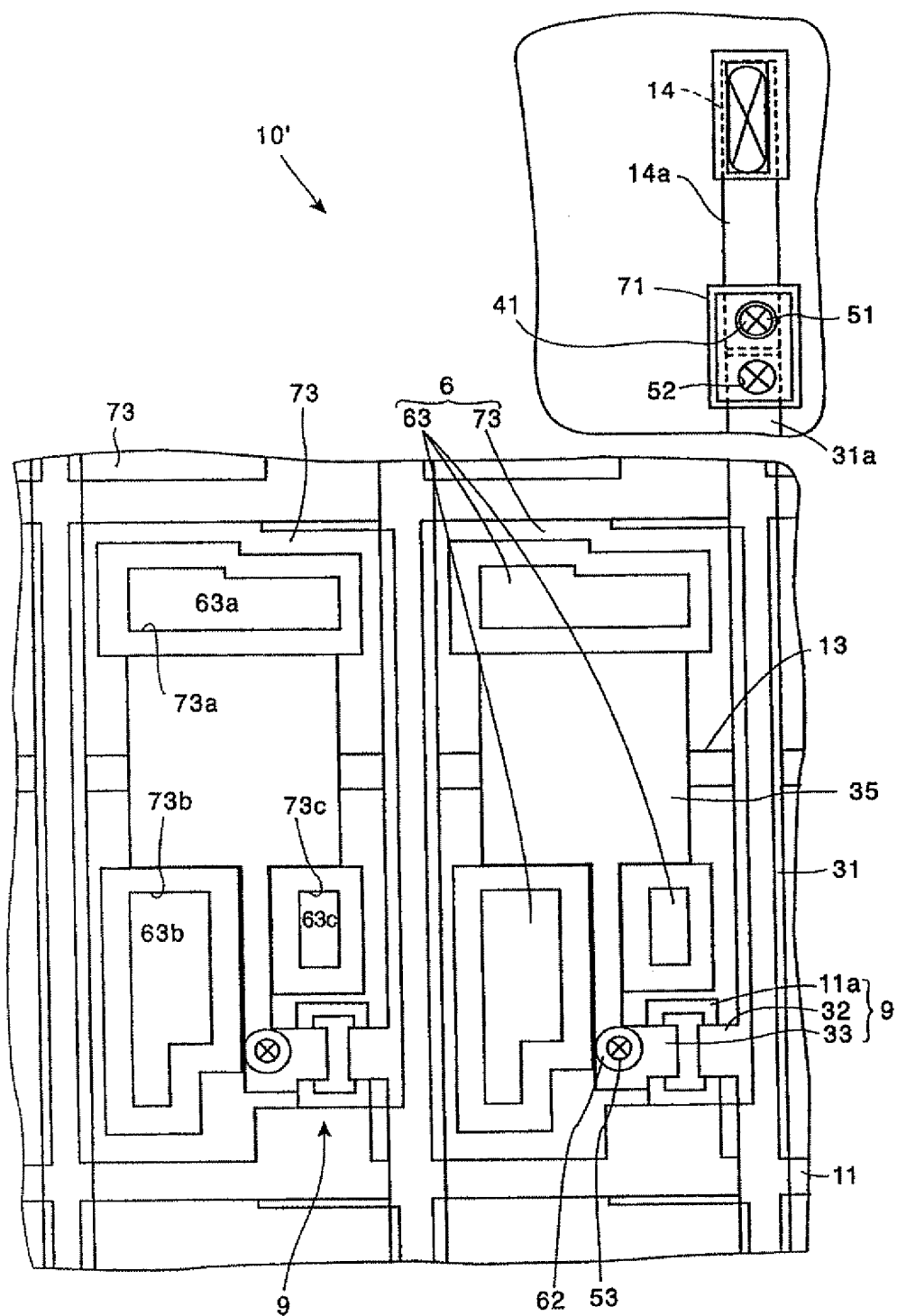


图 12

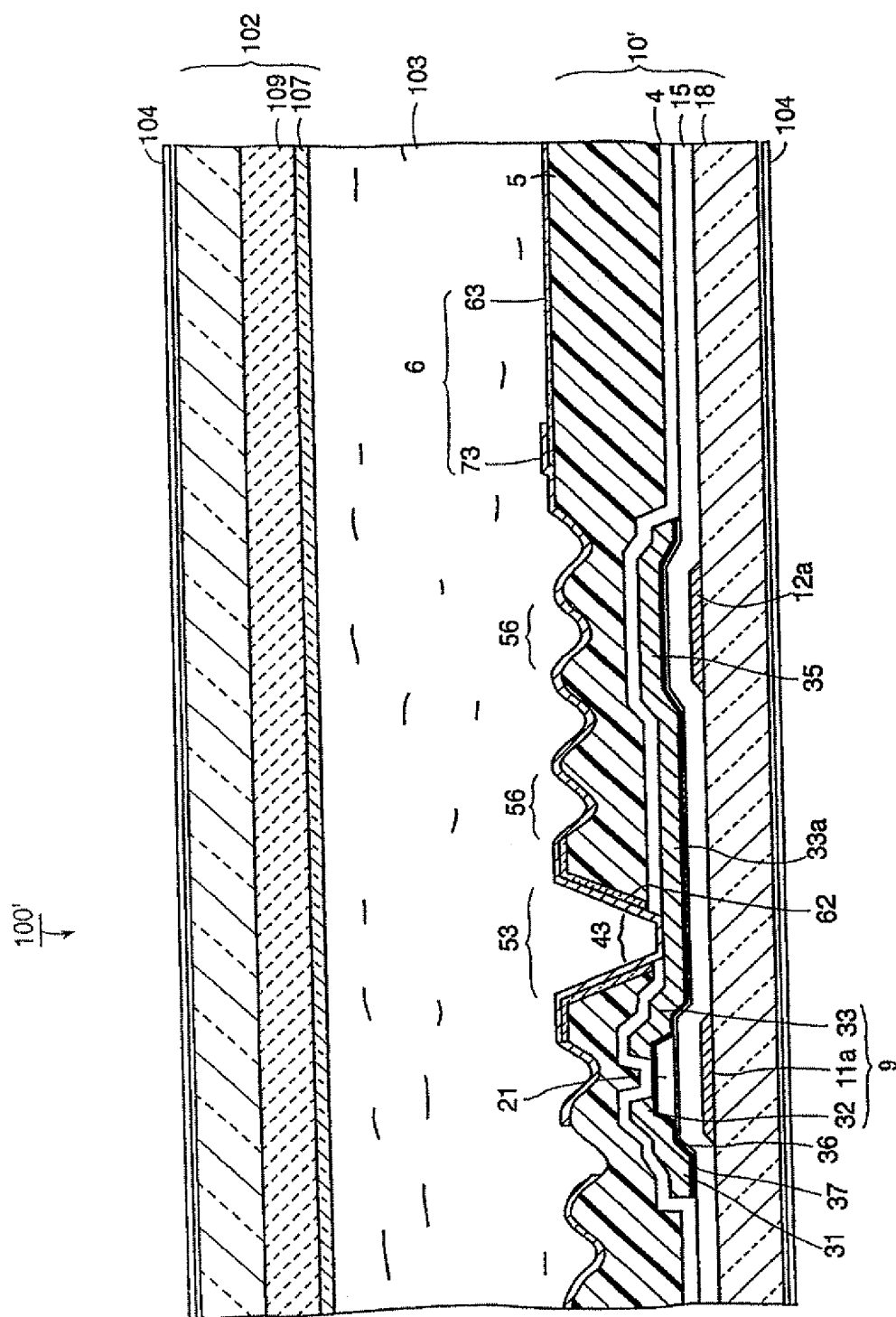


图 13

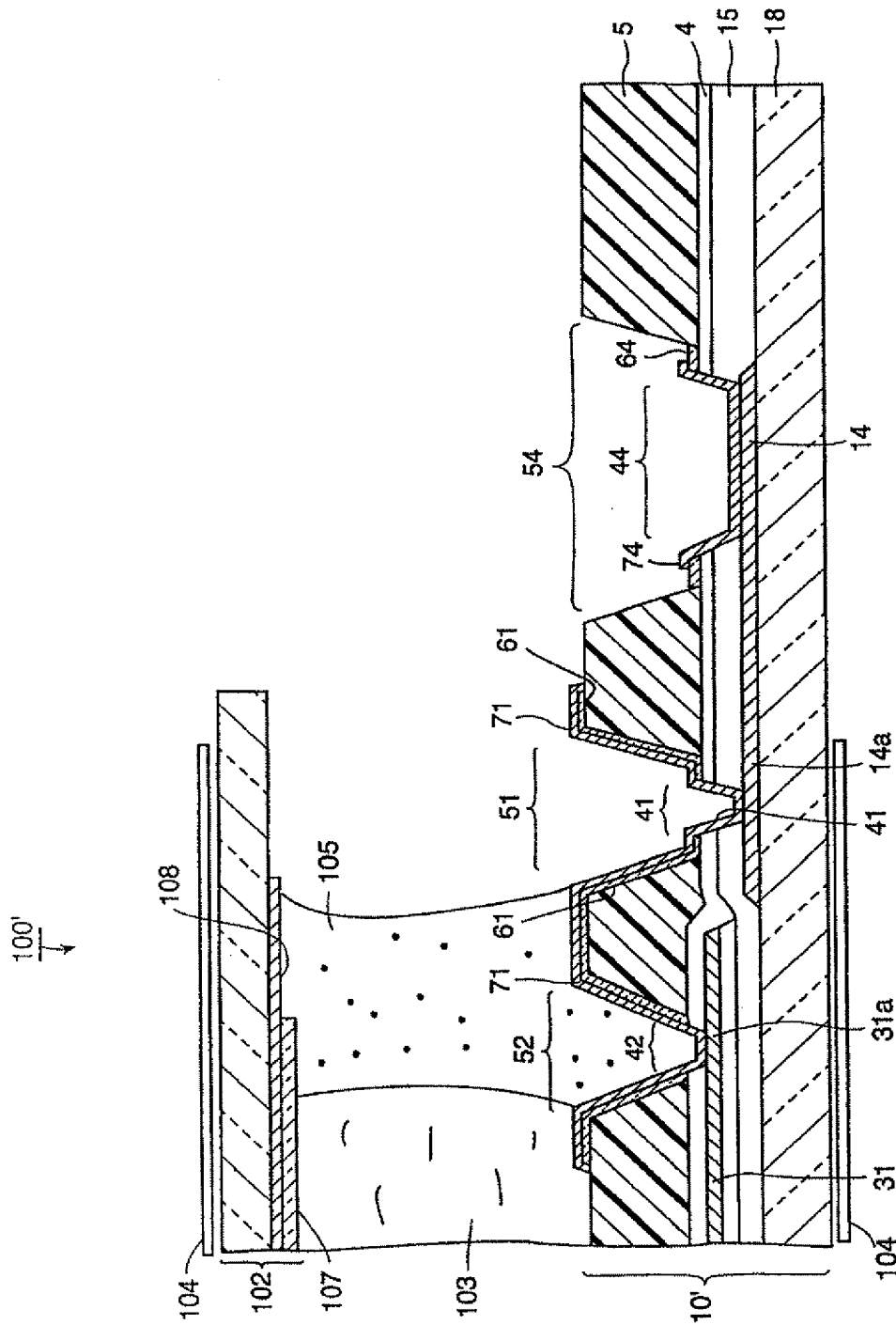


图 14

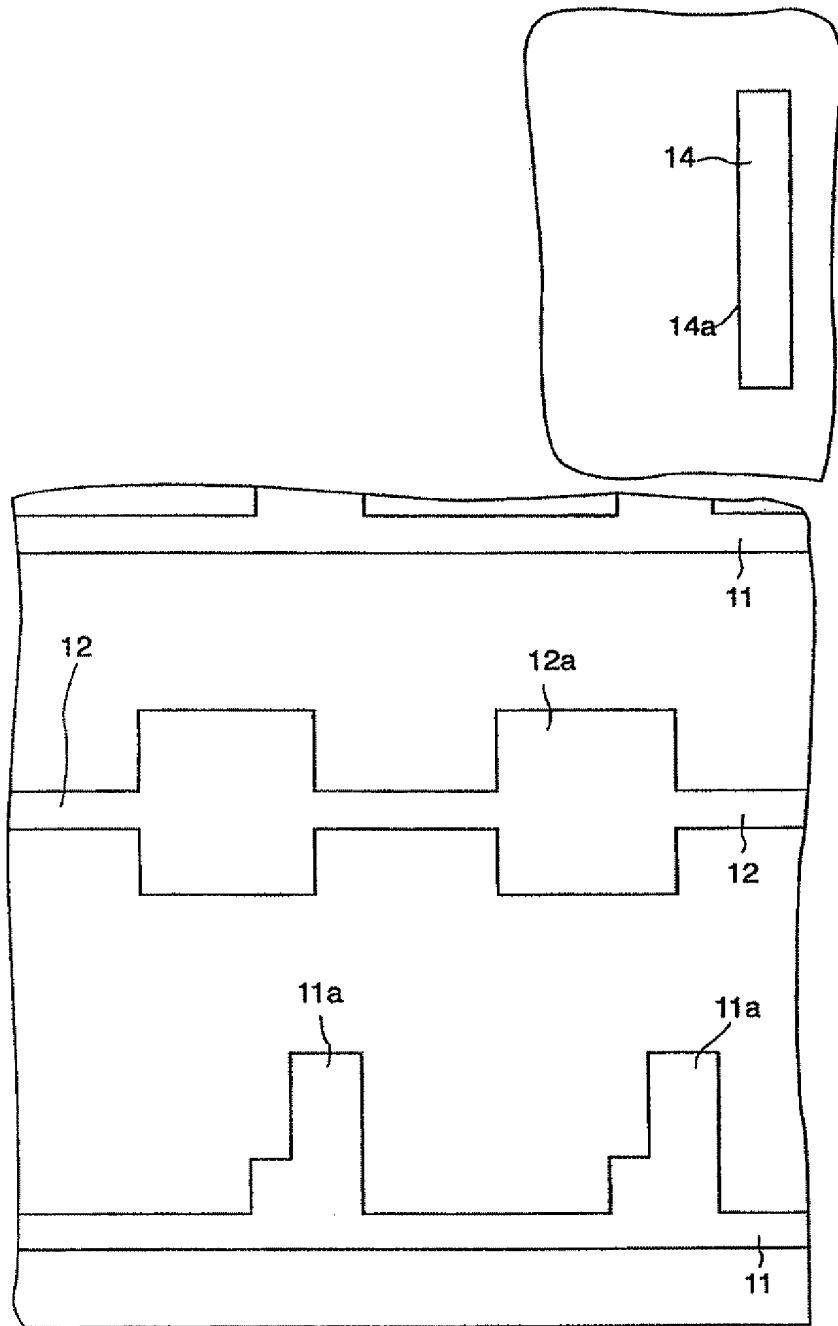


图 15

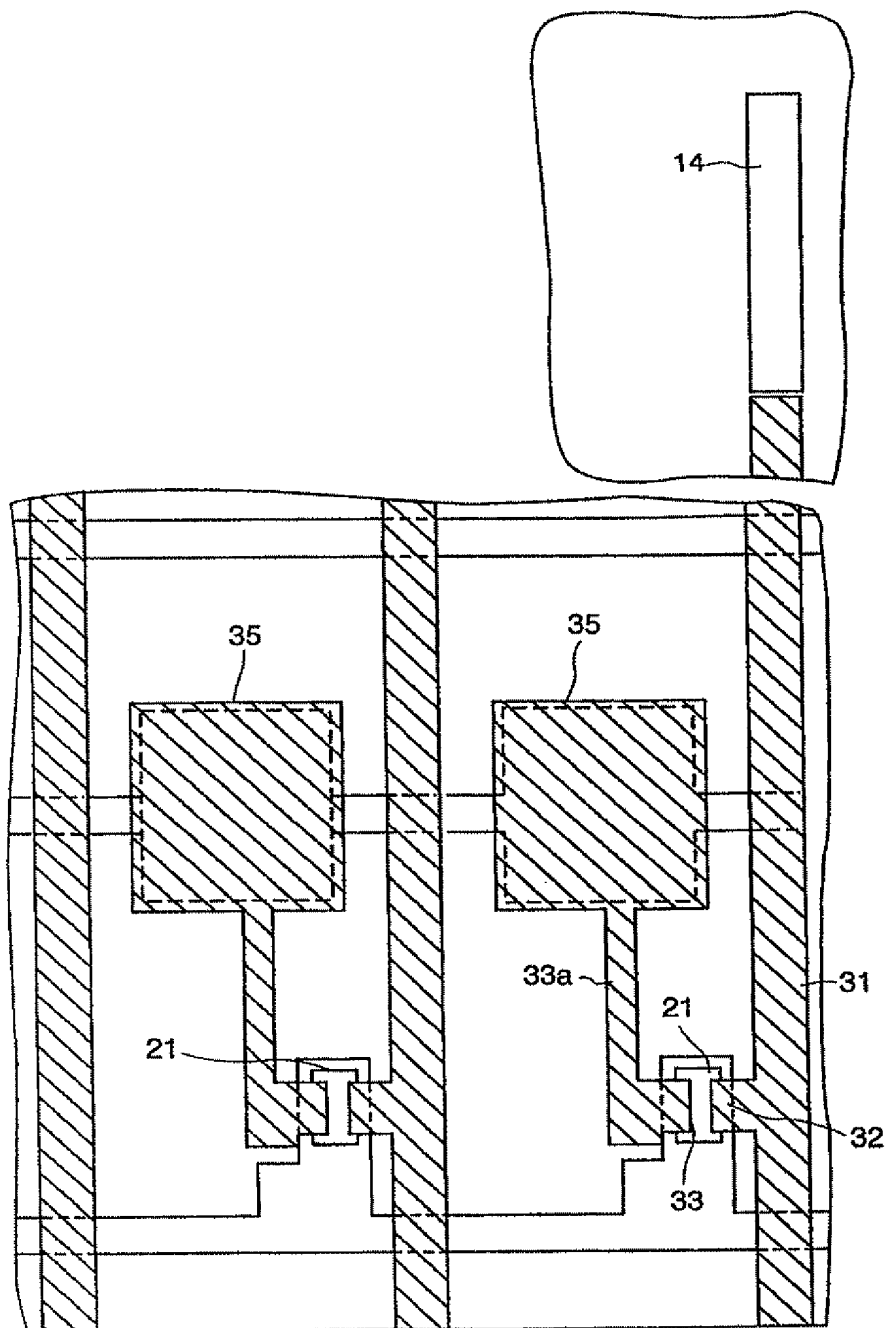


图 16

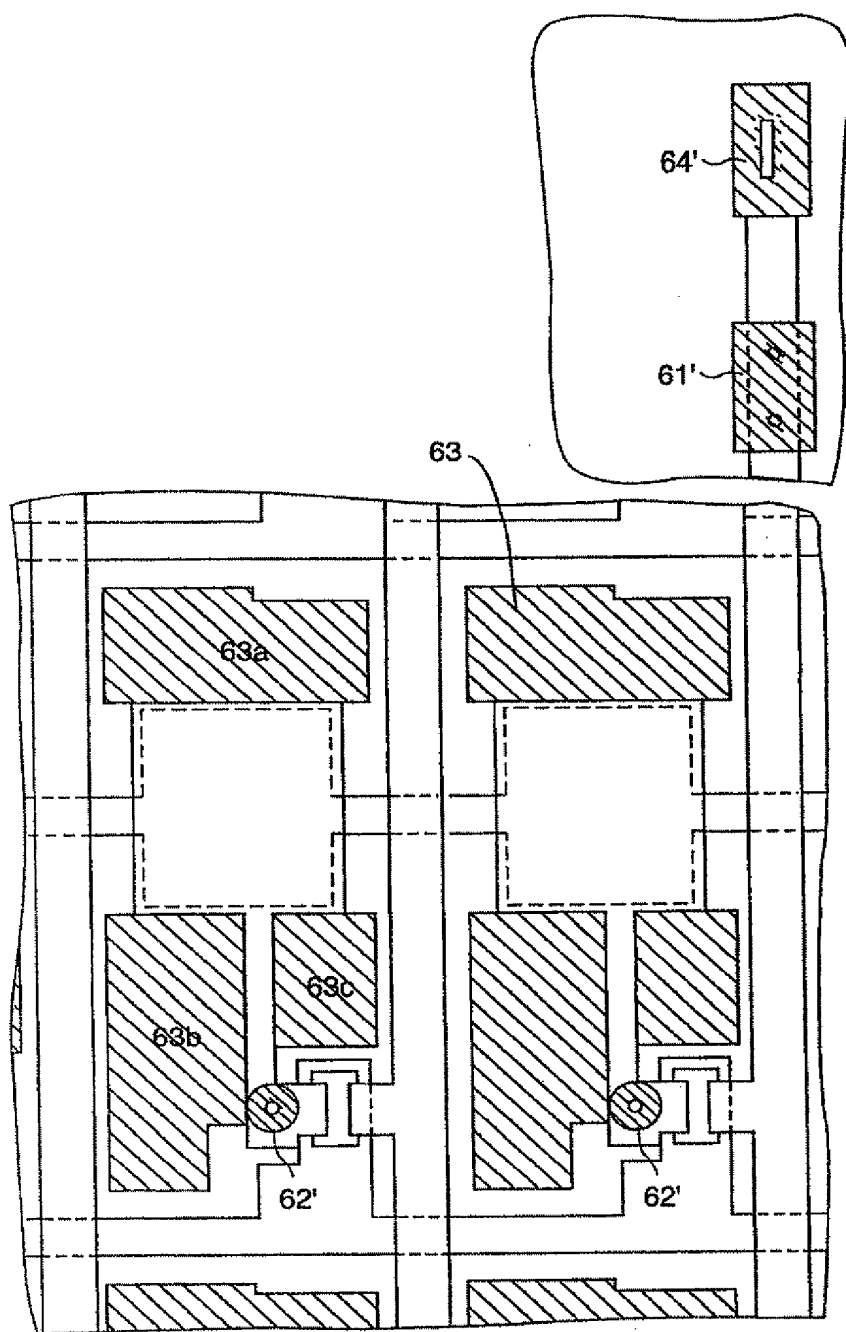


图 17

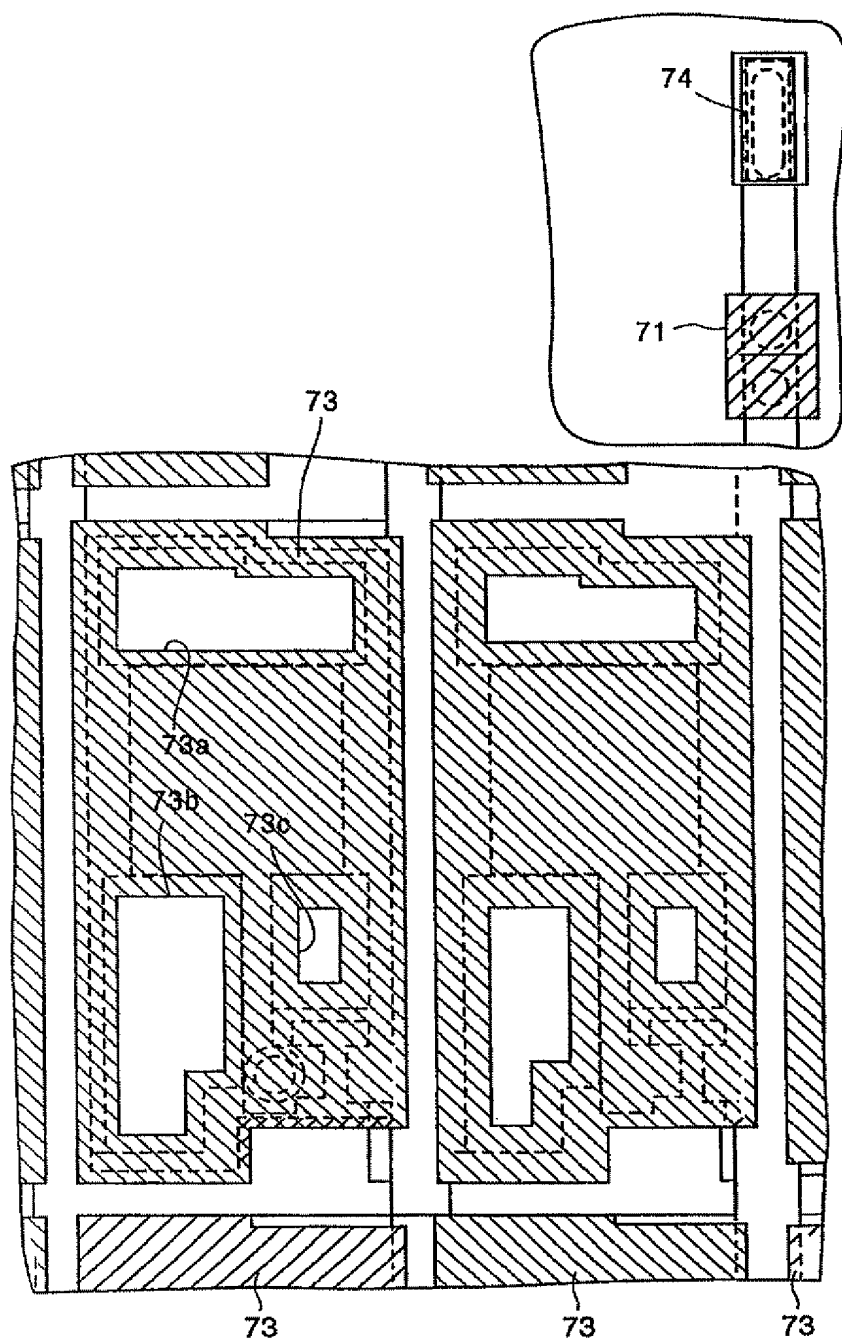


图 19

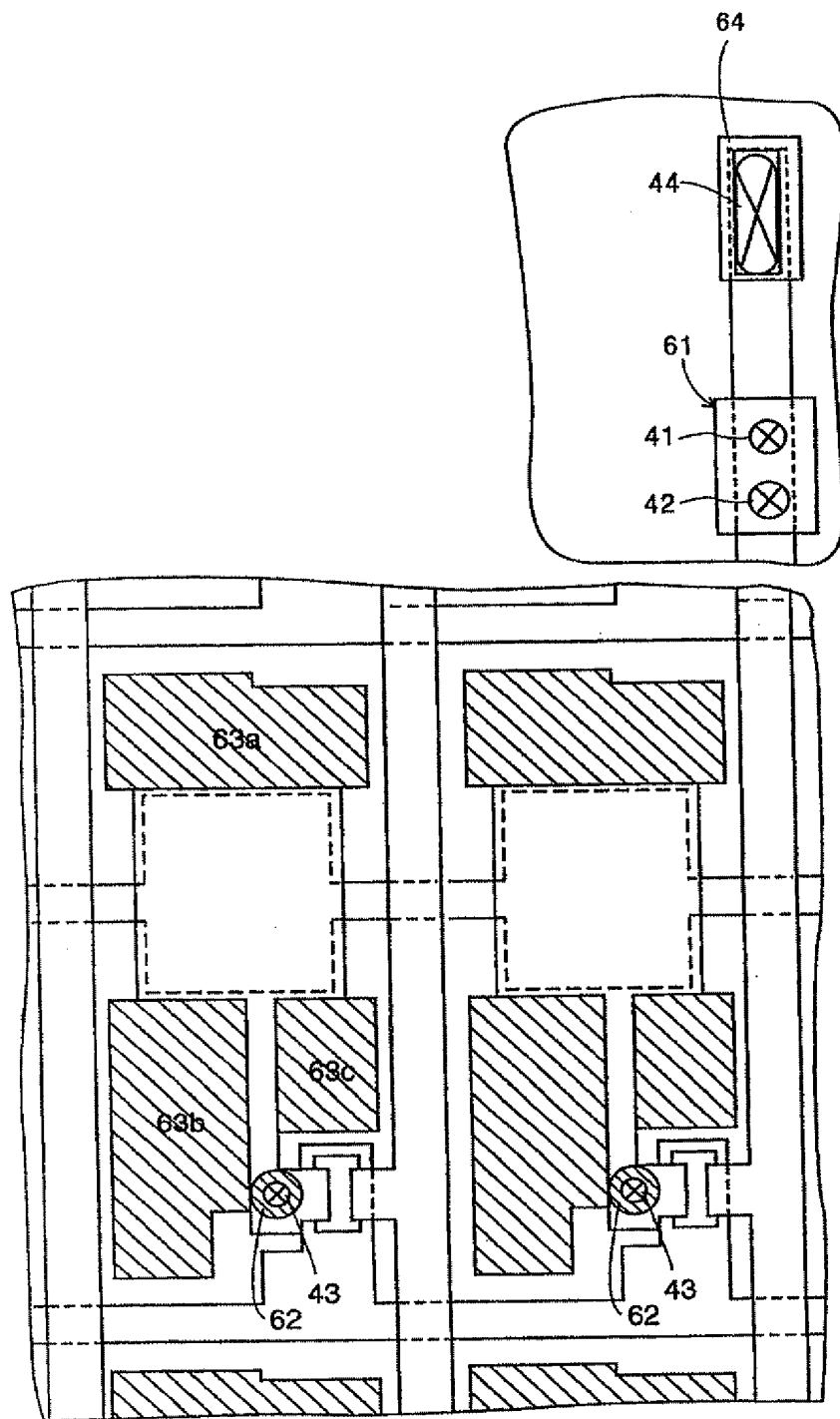


图 18

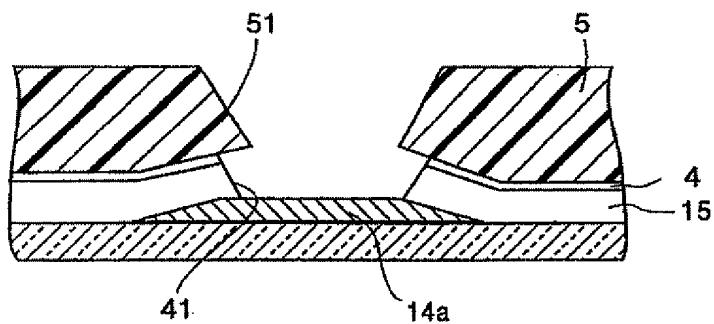


图 20A

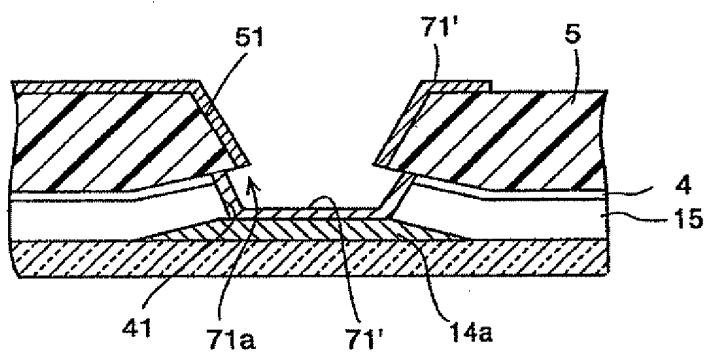


图 20B

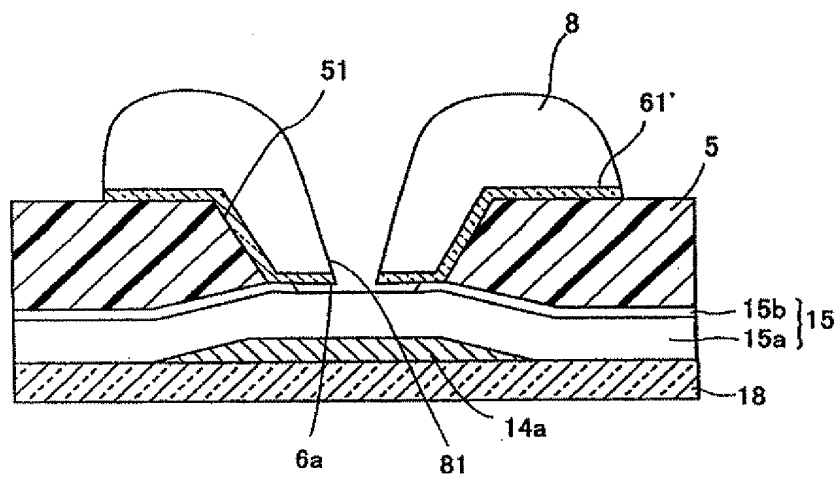


图 21A

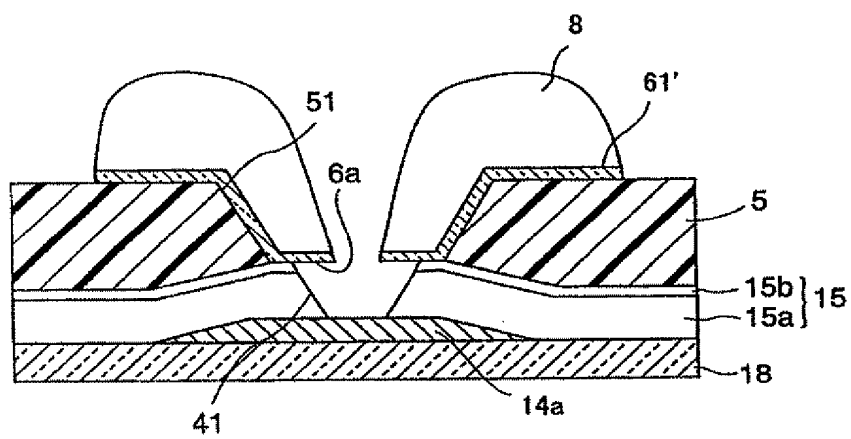


图 21B

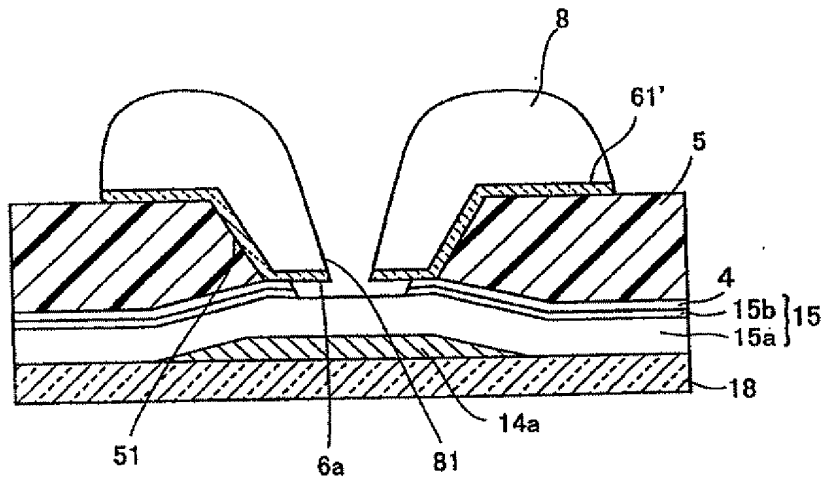


图 22A

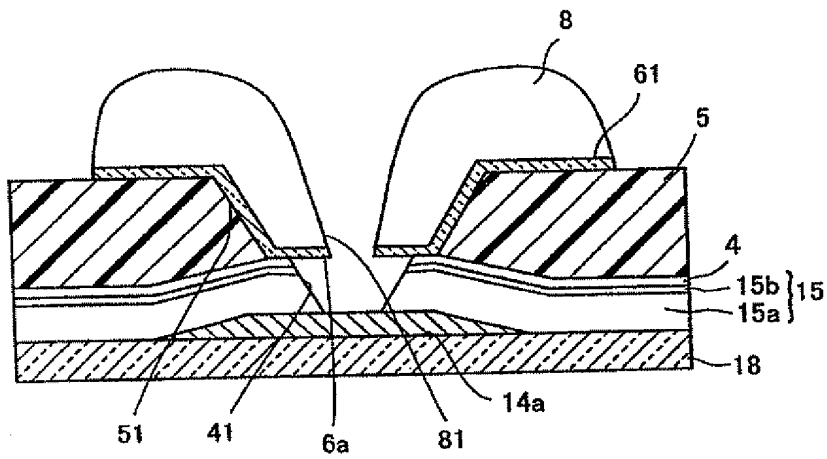


图 22B

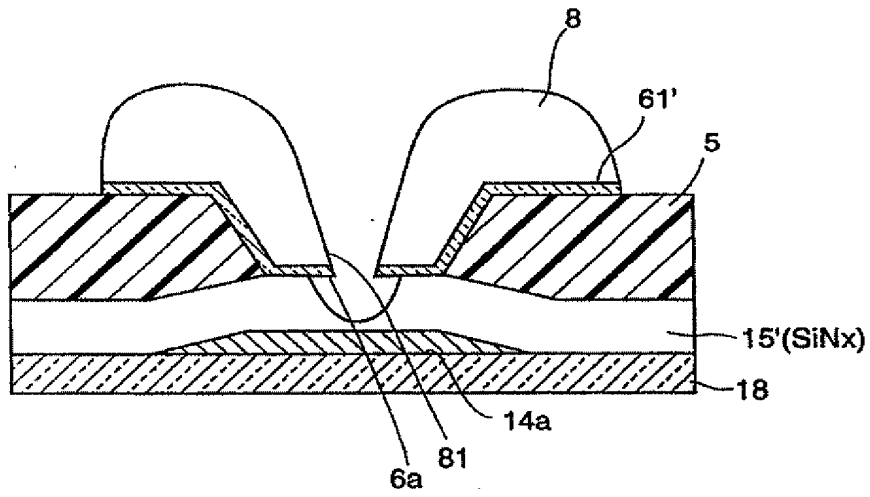


图 23A

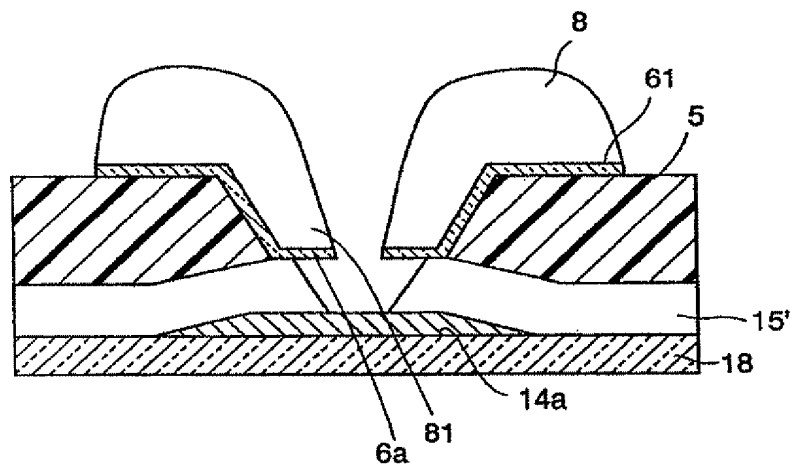


图 23B

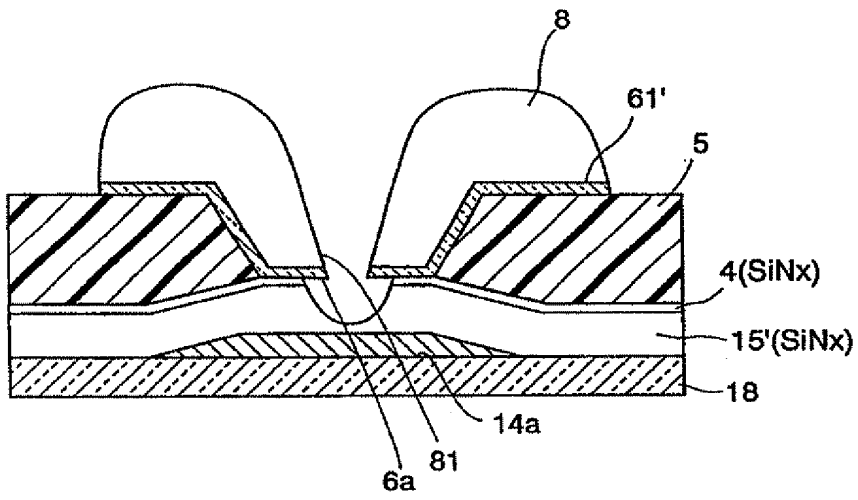


图 24A

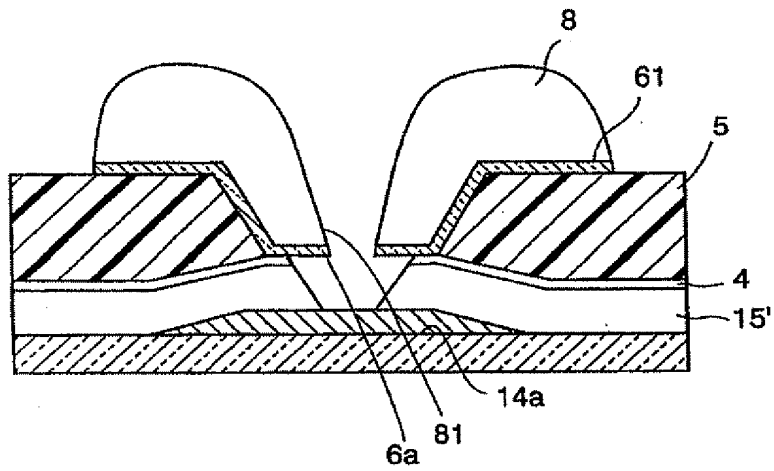


图 24B

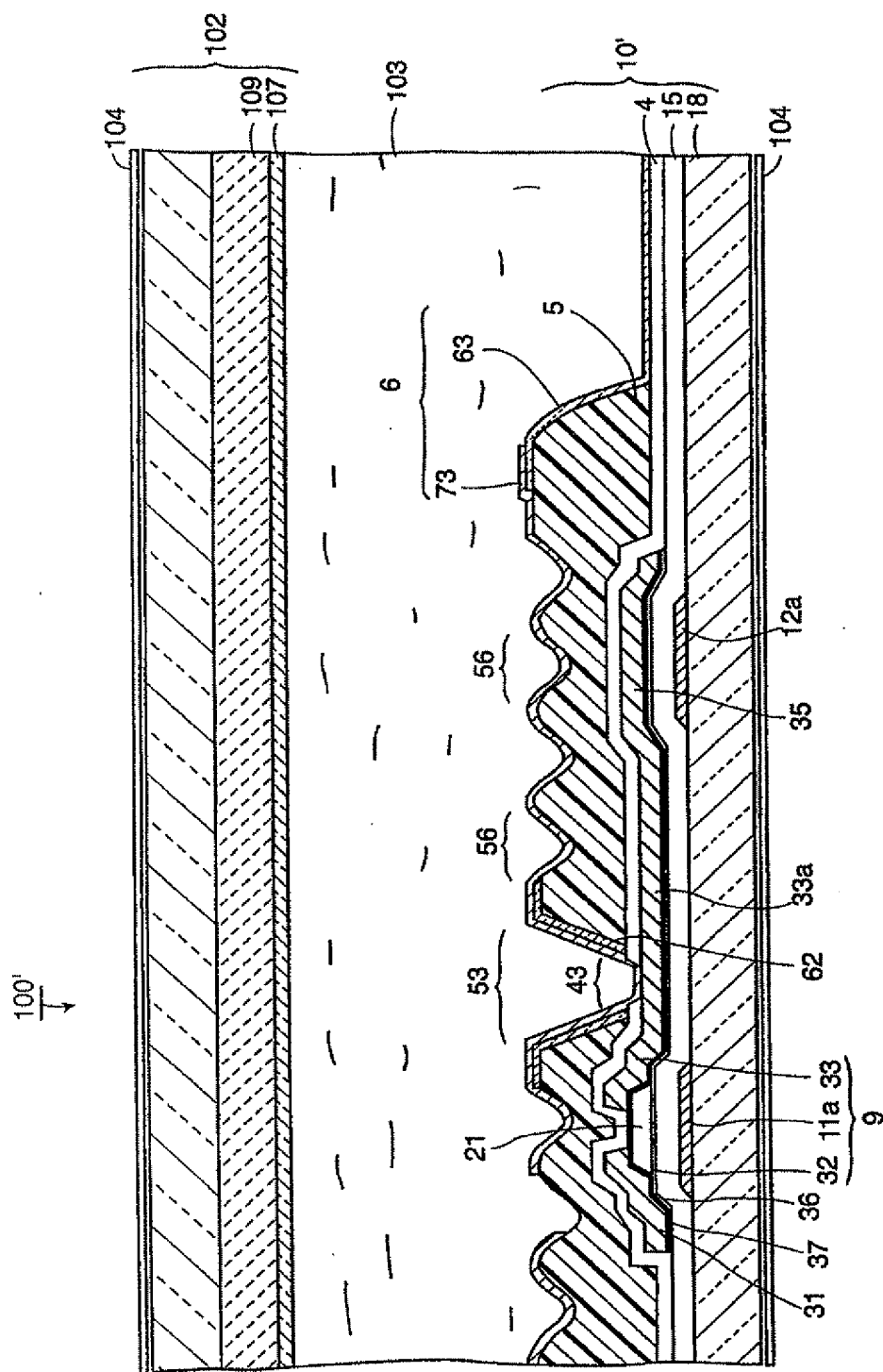


图 26

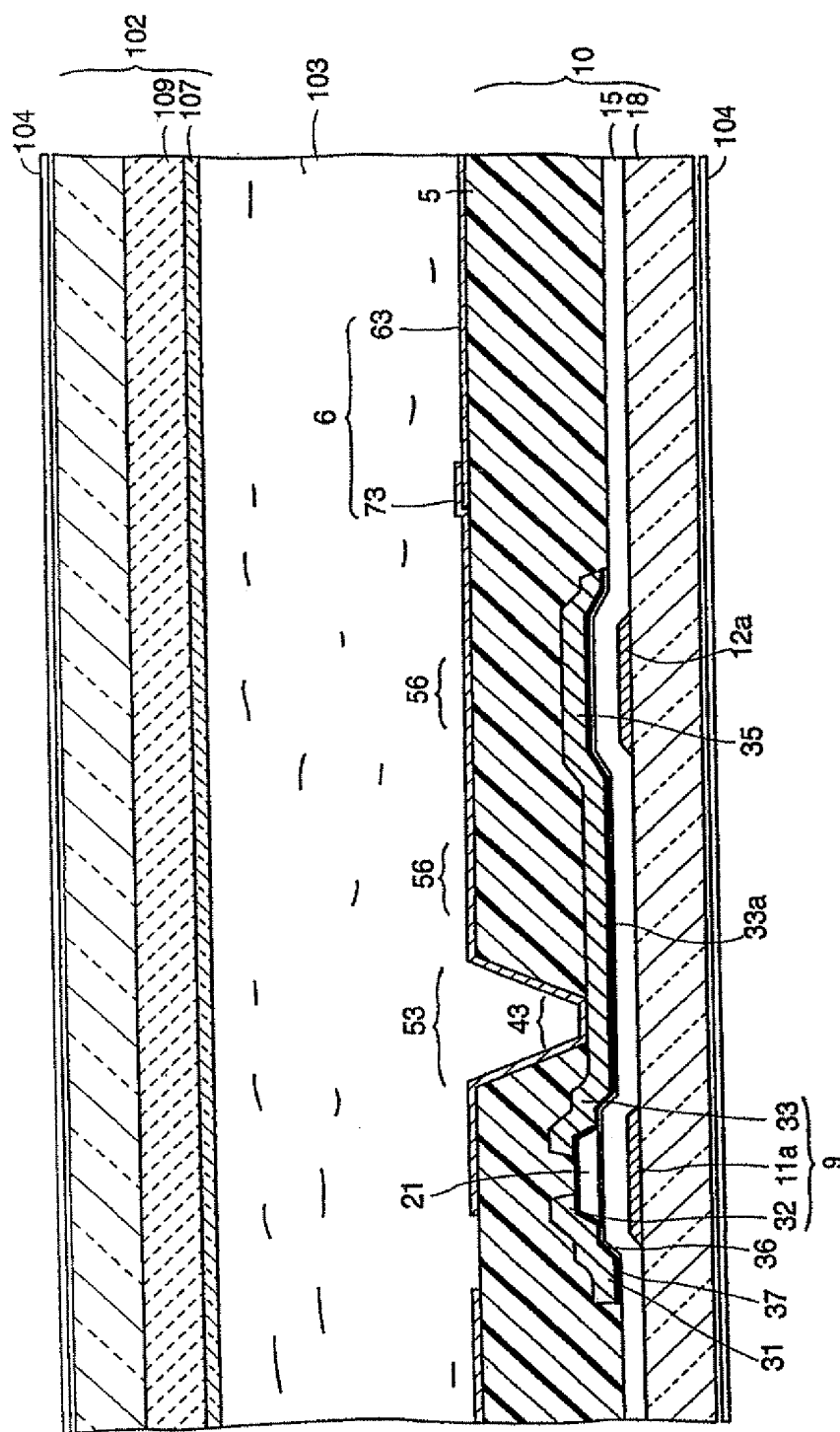


图 27

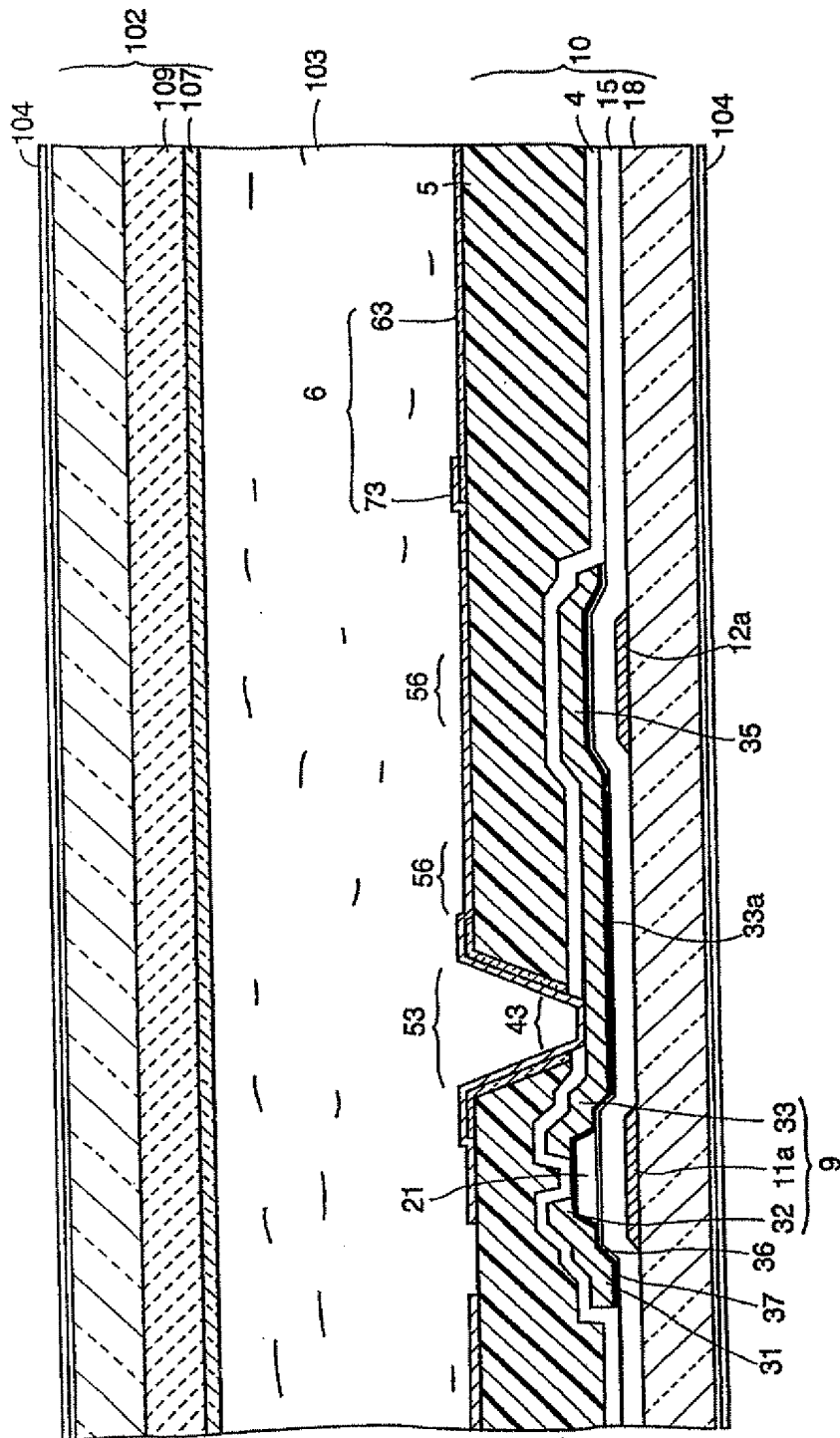


图 28

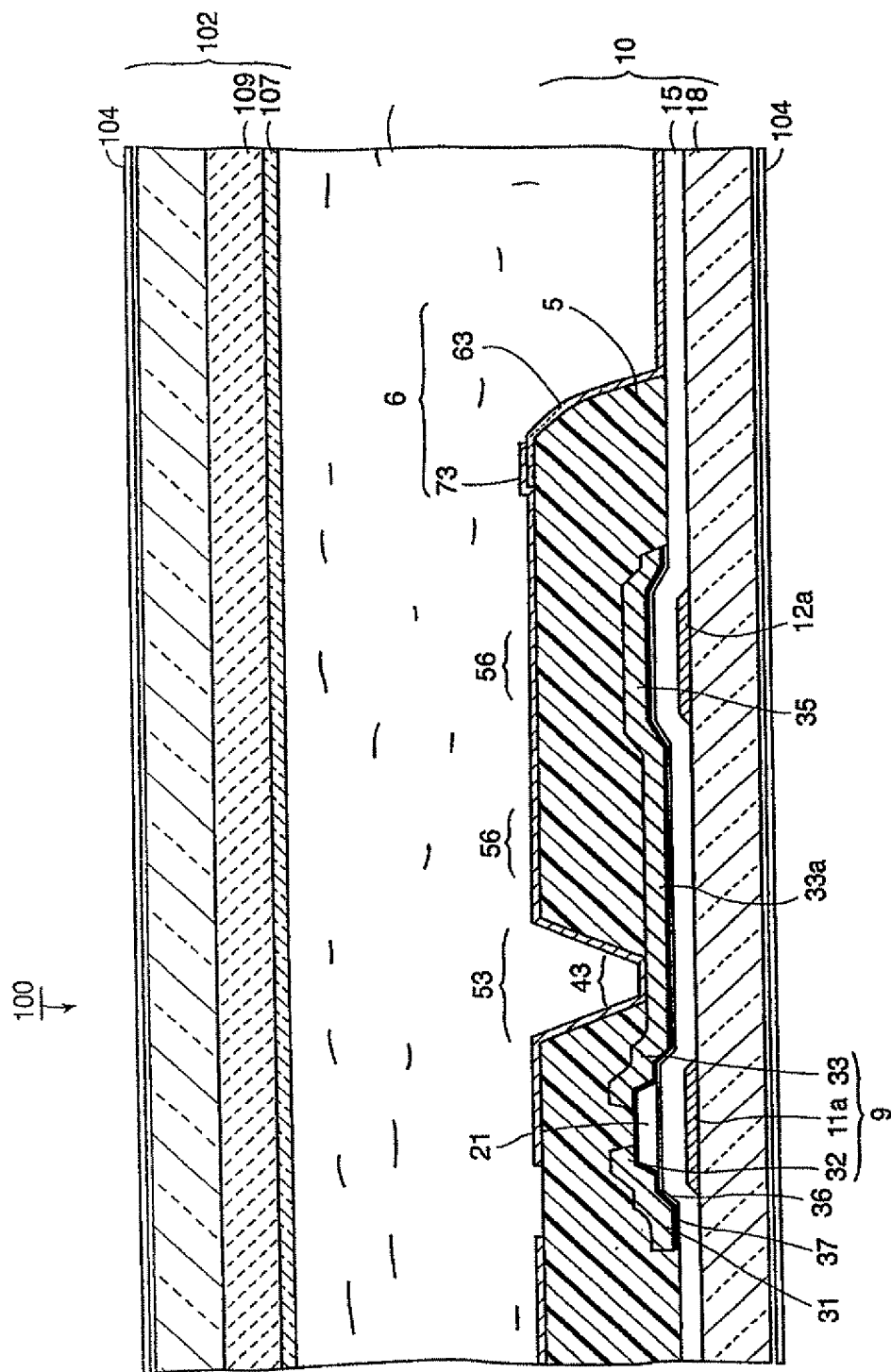


图 29

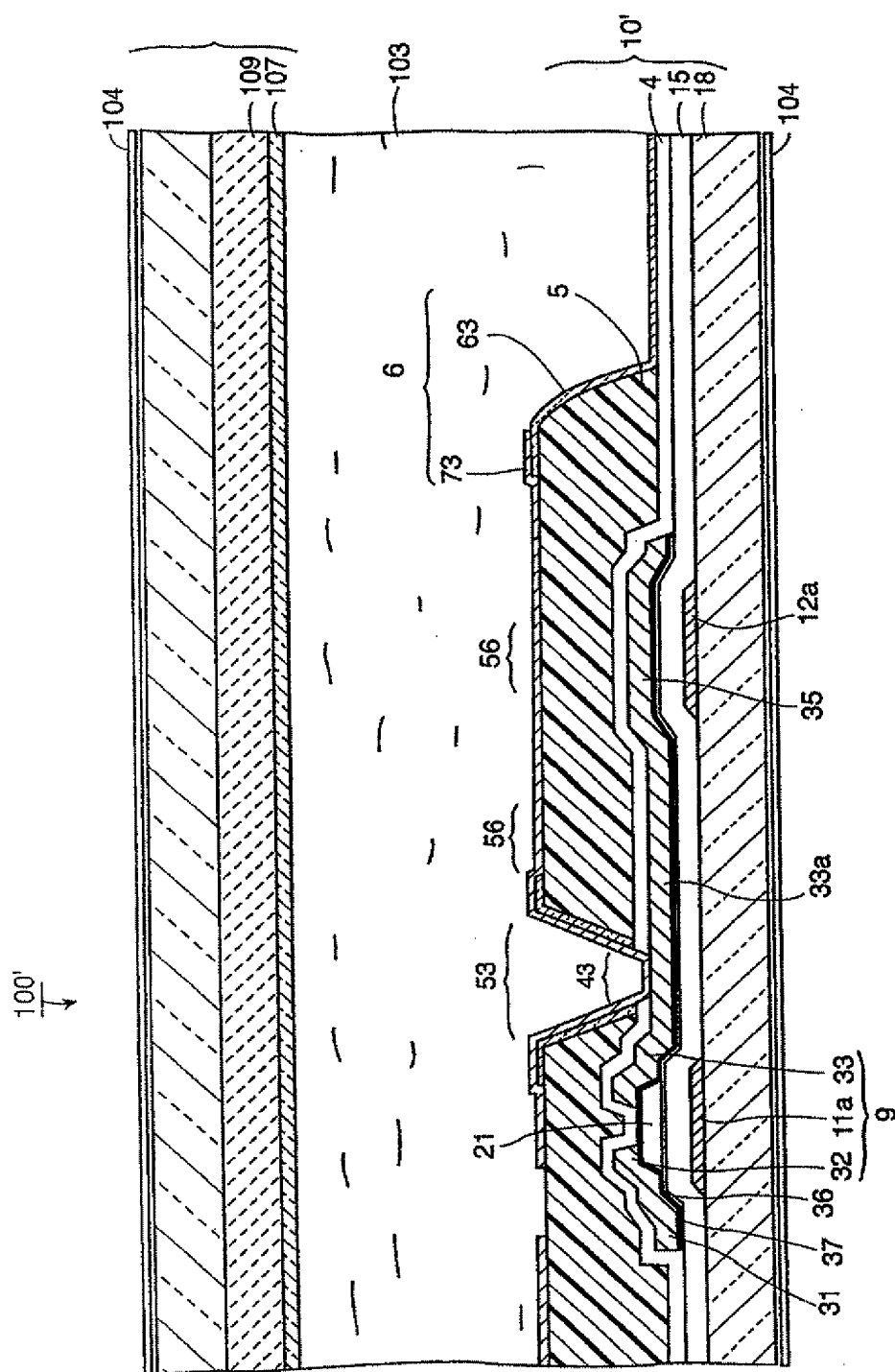


图 30

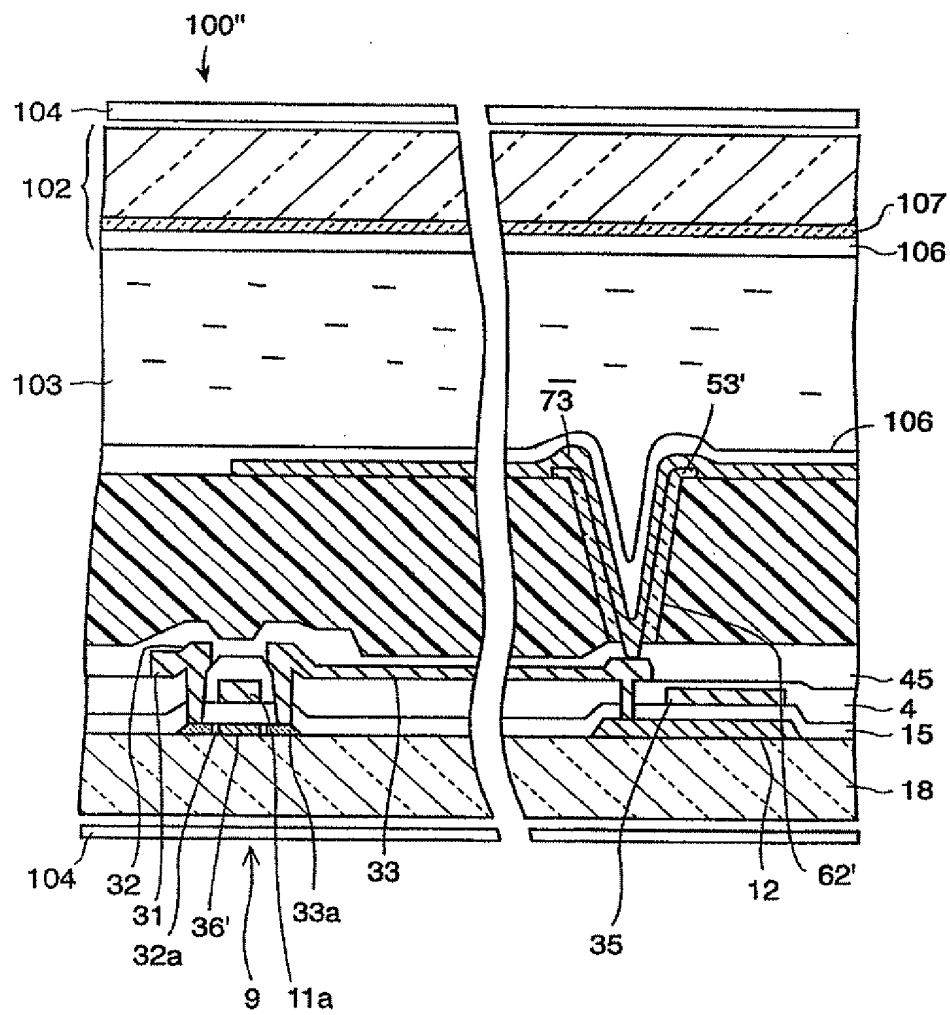


图 31

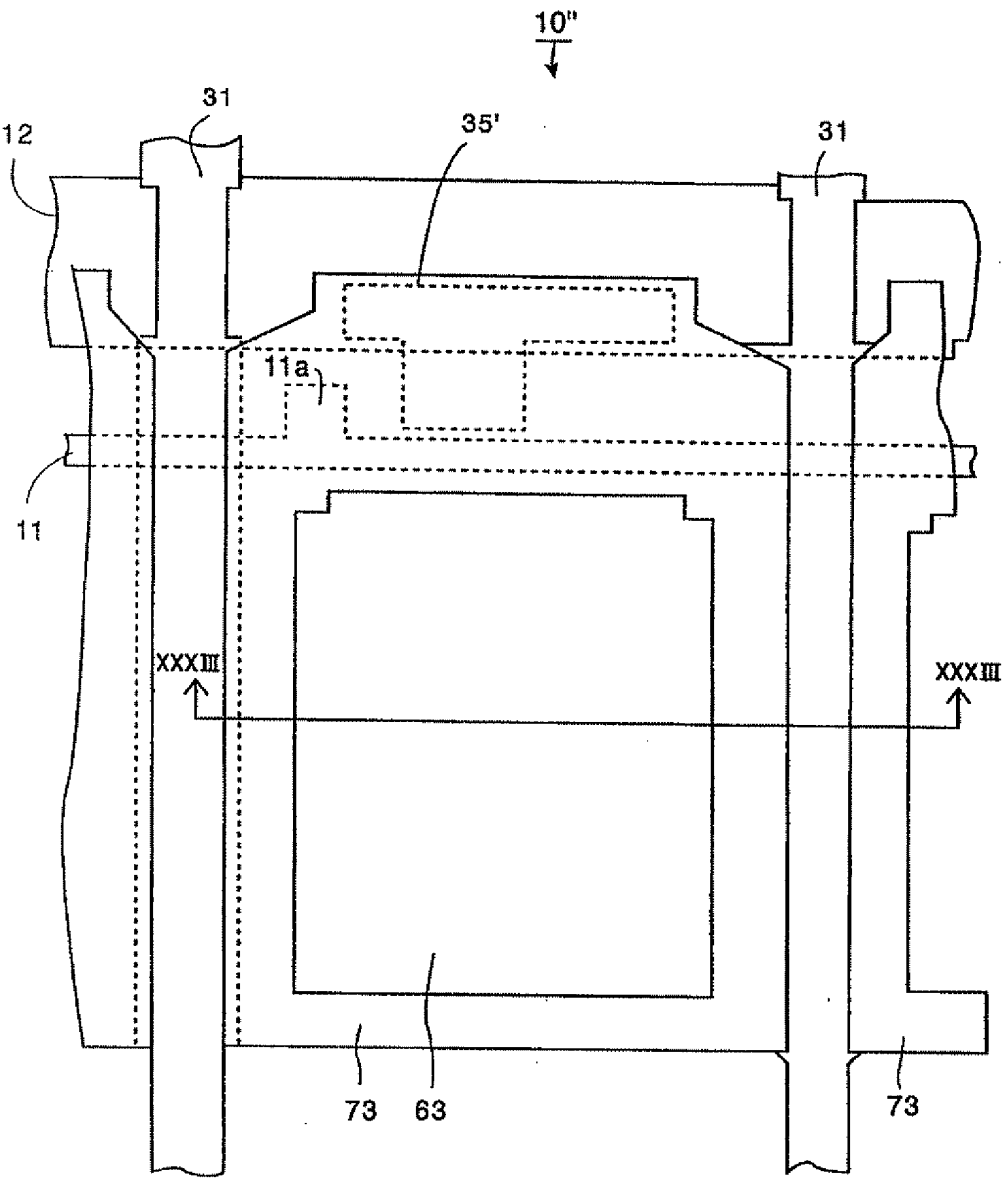


图 33

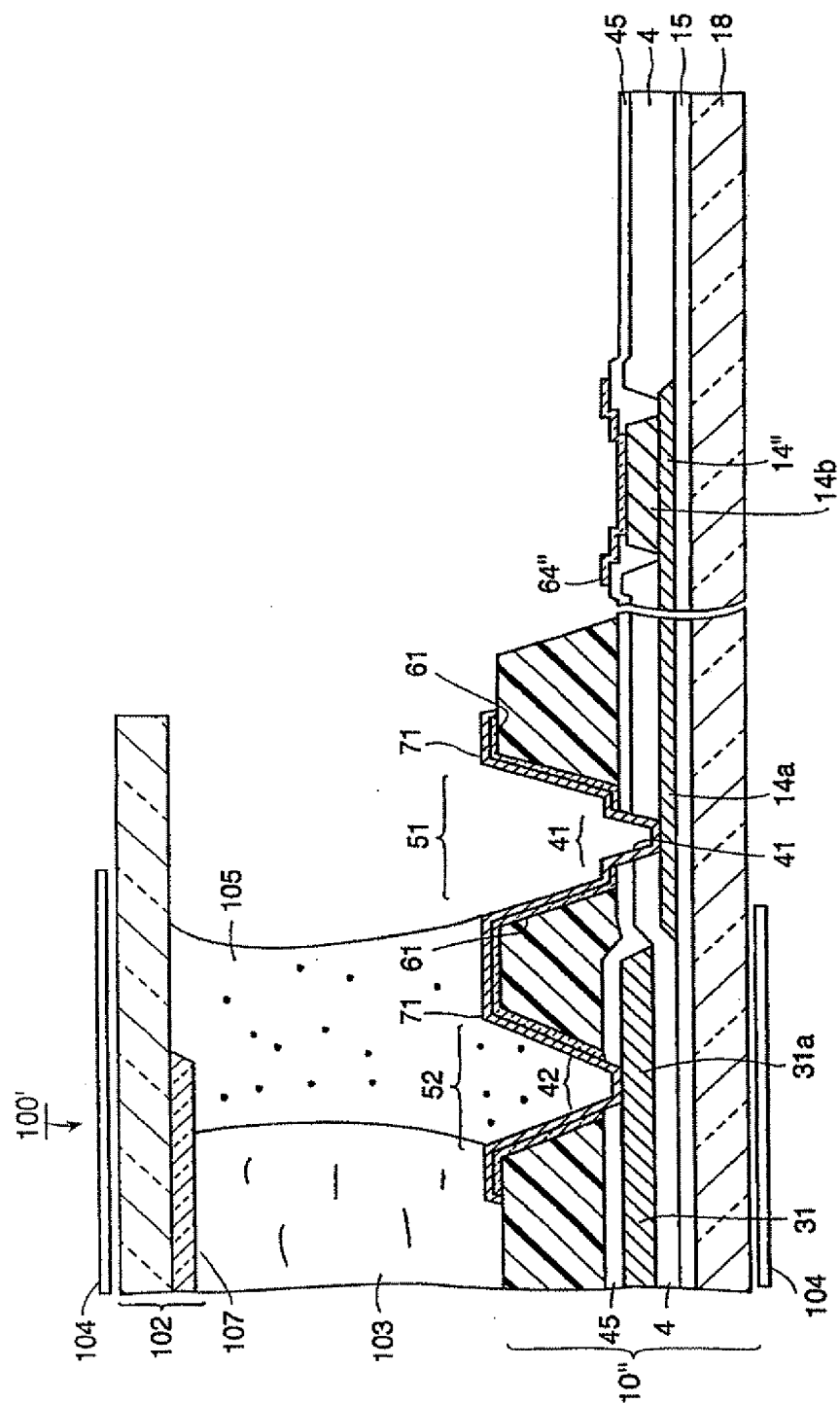


图 32

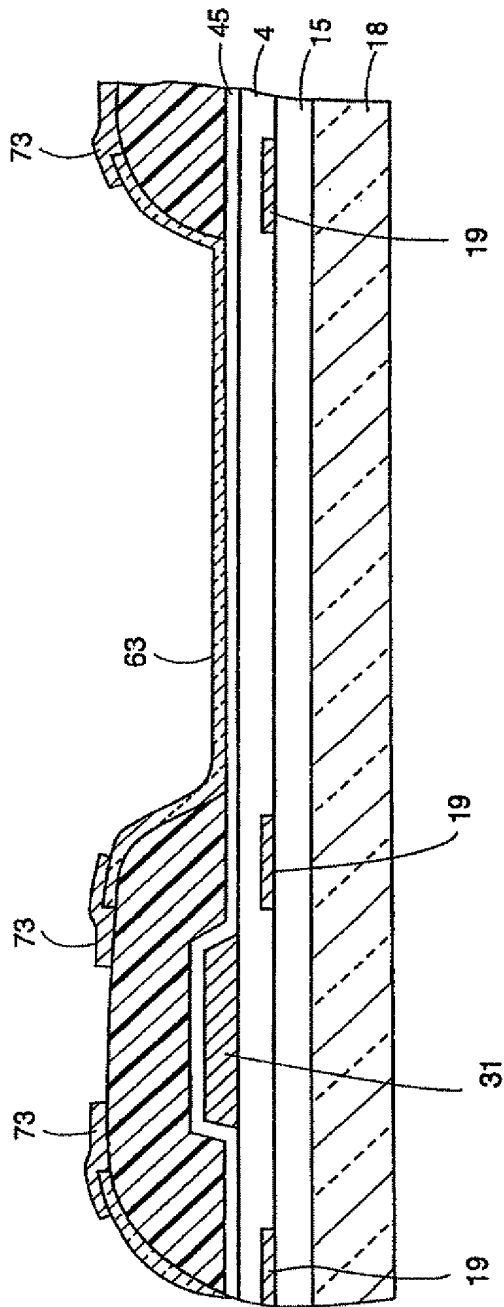


图 34